

Grundlagen der Digital-Elektronik

Theorie
und Praxis

Copyright 1975 by
Standard Elektrik Lorenz Aktiengesellschaft
Unternehmensgruppe Rundfunk Fernsehen Phono
7530 Pforzheim, Östliche 132
Postfach 1570, Telefon (07231) 302-2391
4. Auflage, März 1976

Druck: Druckerei Seiter, 7535 Königsbach-Stein

Grundlagen der Digital-Elektronik

Inhalt	Seite
1. Allgemeines	1
1.1 Unterschied zwischen analogen und digitalen Systemen	1
1.2 Begriffsbestimmungen	1
2. Zahlensysteme	1
2.1 Dezimalsystem	1
2.2 Dualsystem	2
2.3 Transponieren der beiden Zahlensysteme	2
3. Codieren von Ziffern und Zahlen mit Binärzeichen	3
3.1 Binärcodes für Dezimalziffern (BCD-Codes)	5
Fragen zu den Abschnitten 1. bis 3.	
4. Logische Grundverknüpfungen	9
4.1 NICHT-Verknüpfung	9
4.2 UND-Verknüpfung	10
4.3 ODER-Verknüpfung	11
4.4 Aufstellen von Funktionstabellen	11
4.5 Positive und negative Logik	12
Fragen zu Abschnitt 4.	
5. Rechengesetze der Schaltalgebra	15
5.1 Kommutativgesetz (Vertauschungsgesetz)	15
5.2 Assoziativgesetz (Verbindungsgesetz)	15
5.3 Distributivgesetz (Verteilungsgesetz)	16
5.4 Inversionsgesetz (Umkehrungsgesetz)	16
6. Rechenregeln der Schaltalgebra	17
6.1 Allgemeine Kürzungsregeln der Schaltalgebra	19
Fragen zu den Abschnitten 5. und 6.	
7. Erweiterte Logikfunktionen	21
7.1 Mögliche Logikfunktionen für 2 Variable	21
7.2 NAND-Funktion (Sheffer-Funktion)	22
7.3 NOR-Funktion (Peirce-Funktion)	22
7.4 ANTIVALENZ-Funktion	23
7.5 ÄQUIVALENZ-Funktion	23
8. Aufstellen logischer Funktionen	24
8.1 Disjunktive Normalform	24
8.2 Konjunktive Normalform	27
Fragen zu den Abschnitten 7. und 8.	
9. Karnaugh-Veitch-Tafeln	29
10. Universalfunktionen NAND und NOR	35
10.1 NAND als Universalfunktion	35
10.2 NOR als Universalfunktion	37
Fragen zu den Abschnitten 9. und 10.	
11. Bistabile Kippstufen	39
11.1 Getaktetes RS-Flipflop	40
11.2 D-Flipflop	42
11.3 Taktflankengesteuertes RS-Flipflop	43
11.4 JK-Flipflop	44
11.5 Master-Slave-Flipflop	46
11.6 Master-Slave-JK-Flipflop	48
11.7 Symbole für FFs	49
Fragen zu Abschnitt 11.	
12. Integrierte Digitalschaltungen	51
12.1 Wichtige Kennwerte (Parameter) integrierter Digitalschaltungen	51
12.1.1 Logikpegel	51
12.1.2 Störspannungsabstand	52
12.1.3 Schaltzeit (Verzögerungszeit)	53
12.1.4 Ein- und Ausgangslastfaktor	54
12.2 Logikfamilien	55
12.2.1 Dioden-Transistor-Logik (DTL)	55
12.2.2 Transistor-Transistor-Logik (TTL)	57
12.2.3 Emitter-gekoppelte Logik (ECL)	69
Fragen zu Abschnitt 12.	

Einleitung

Der vorliegende Lehrgang „Einführung in die Digital-Elektronik“ verbindet Theorie und Praxis in einer Form, die es dem Lernenden ermöglicht, sich ein optimales Basiswissen dieser modernen Disziplin der Elektronik zu erarbeiten. Damit Sie den dargebotenen Lehrstoff auch wirklich voll verwerten können, beachten Sie bitte folgende Hinweise:

Vielen Praktikern erscheint die Theorie als rotes Tuch, aber ihre Kenntnis ist in unserer Branche eine unentbehrliche Voraussetzung für eine systematische und somit effektive Arbeitsgestaltung. Versuchen Sie den theoretischen Lehrstoff daher unbedingt zu verstehen. Selbstverständlich sind auch wir nicht in der Lage, Ihnen über das Wie ein fertiges Kochrezept an die Hand zu geben. Folgenden Weg können wir jedoch vorschlagen: Damit Sie einen groben Überblick über die Materie bekommen, lesen Sie zunächst 2 bis 3 Abschnitte des Lehrheftes durch, ohne dabei alle Details genau verstehen zu wollen. Dann sollte die eigentliche Erarbeitung des Lehrstoffes erfolgen. Gehen Sie dabei schrittweise vor. Beginnen Sie erst dann bei einem neuen Absatz, wenn Sie sicher sind, alles vorherige genau verstanden zu haben. Versuchen Sie nicht, das ganze Lehrheft an einem Abend durchzuarbeiten. Nach einer gewissen Lernzeit läßt die Konzentration nach, und ein gutes Konzentrationsvermögen ist eine wichtige Voraussetzung für ein erfolgreiches Lernen.

Bestimmte theoretische Abhandlungen werden jeweils durch Versuche auf dem ITT Digi-Trainer untermauert. Die Stellen im Text, an denen ein Versuch durchzuführen ist, sind entsprechend gekennzeichnet (Experiment Nr. am Rand des Blattes). Alle Experimente werden mit modernen integrierten Schaltkreisen (ICs) durchgeführt. Beachten Sie in diesem Zusammenhang unbedingt die **Hinweise in der Experimentieranleitung**. Speziell in den ersten Abschnitten werden sehr einfache Experimente angegeben. Viele dieser Experimente können Sie im Kopf nachvollziehen. Aber gerade diese Experimente haben einen besonderen didaktischen Wert, da es sich hierbei um die Behandlung von Grundgesetzen der digitalen Technik handelt. Nach dem Motto „zweimal genäht hält besser“ sollten Sie auf die Durchführung dieser Experimente auf keinen Fall verzichten.

Sehr wichtig zur Selbstkontrolle sind die jeweils gestellten Wiederholungsfragen. Die Antworten zu diesen Fragen finden Sie auf der Rückseite des Blattes.

Für die Bearbeitung dieses Lehrganges wünschen wir Ihnen viel Freude und Erfolg.

Ihre ITT Fachlehrgänge

Verfasser:
Ing. Albert Westerholt VDI
Leiter der ITT Fachlehrgänge

1. Allgemeines

1.1. Unterschied zwischen analogen und digitalen Systemen

In der Analogtechnik kann ein Signal innerhalb bestimmter Grenzen beliebige Werte annehmen. So ist z.B. das Ausgangssignal u_A eines idealen linearen Spannungsverstärkers immer um den Verstärkungsfaktor v größer als das Eingangssignal u_E . In Abhängigkeit von u_E kann u_A kontinuierlich alle Zwischenwerte innerhalb des linearen Übertragungsbereiches einnehmen. Um mit analogen Geräten eine hohe Genauigkeit zu erreichen, werden große Anforderungen an die Linearität und Konstanz der einzelnen Komponenten gestellt.

In der Digitaltechnik dagegen werden alle Informationen als Ziffern eines **vereinbarten Zahlensystems** dargestellt. Die Ziffern werden nach mathematisch logischen Gesetzen in sog. **logischen Schaltungen** verarbeitet. Diese Schaltungen müssen so aufgebaut sein, daß die in der Praxis auftretenden Veränderungen der Bauelementeeigenschaften das **logische Verhalten** der Schaltungen nicht beeinflussen. Dadurch wird die Genauigkeit praktisch unabhängig von der Bauteilekonstanz.

Merke:

Das Wesentliche der Digitaltechnik ist die Darstellung, Übertragung und Verarbeitung von Informationen durch Zahlen.

1.2. Begriffsbestimmungen

Das Wort digital ist abgeleitet von dem englischen Wort digit, das mit Ziffer oder Stelle einer Zahl übersetzt werden kann. Dabei ist zunächst unwesentlich, welches Zahlensystem zugrunde liegt. Wird z. B. als Grundlage das dezimale Zahlensystem gewählt, so bilden die Ziffern von 0 bis 9 die zu verarbeitenden Größen. Elektrisch könnte dies verwirklicht werden, indem jeder Ziffer des Dezimalsystems ein **bestimmter** Spannungswert zugeordnet wird (z. B. $0 \triangleq 0 \text{ V}$; $1 \triangleq 1 \text{ V}$; $2 \triangleq 2 \text{ V}$ bis $9 \triangleq 9 \text{ V}$).

Die Schwierigkeit bei diesem Beispiel liegt darin, daß elektrisch ein hoher Aufwand betrieben werden muß, damit eine Schaltung in Abhängigkeit von der Eingangsinformation **10 eindeutig** definierte Ausgangszustände einnehmen kann. Aus diesem Grunde arbeiten digitale Systeme in der Praxis fast ausschließlich nach dem **dualen Zahlensystem**. Wie im nächsten Abschnitt noch näher erläutert wird, genügen für die Darstellung des dualen Zahlensystems **2** Ziffern oder Zeichen. Wir wählen als Ziffern für dieses System 0 und 1. Die Ziffern des Dualsystems werden als **Binärziffern** bezeichnet (binär = zweiwertig, nur zweier Werte fähig). Ein binäres Signal läßt sich mit wenig elektrischem Aufwand erzeugen. Im einfachsten Fall genügt ein Schalter, dessen beide Zustände als Binärzeichen ausgewertet werden können.

digital

binär

Merke:

Ein binäres Signal ist die einfachste Form einer digitalen Darstellung.

2. Zahlensysteme

Ein Zahlensystem dient zur numerischen Darstellung von Informationen. Es legt fest, wie eine Zahl (Wert) durch verschiedene Ziffern zu beschreiben ist. Am bekanntesten sind die **polyadischen** Zahlensysteme. Bei diesen wird ein Zahlenwert durch die Summe der Produkte von Ziffern und Stellenwerten angegeben. Dabei entsprechen die Stellenwerte den Potenzen der Basis B des gewählten Zahlensystems. Die für uns wichtigsten polyadischen Zahlensysteme sind:

- Dezimal- oder dekadisches System
- Dual- oder dyadisches System

2.1. Dezimalsystem

Die Basis B des Dezimalsystems ist 10. Damit können alle Zahlen (Werte) mit den Ziffern 0 bis 9 beschrieben werden. So kann z. B. die Zahl 1974 wie folgt dargestellt werden:

$$1974 = 1 \cdot 10^3 + 9 \cdot 10^2 + 7 \cdot 10^1 + 4 \cdot 10^0$$

$$1974 = 1 \cdot 1000 + 9 \cdot 100 + 7 \cdot 10 + 4 \cdot 1$$

Stellenwert

Die Potenzen bzw. Exponenten der Basis 10 geben die Stellenwerte an ($10^0 \triangleq$ Einer, $10^1 \triangleq$ Zehner usw.). Wie oft diese Stellen vorhanden sind, geben die Ziffern 0 bis 9 an. Z.B. sind bei der Zahl 900 die Stellen 10^0 und 10^1 Omal, die Stelle 10^2 dagegen 9mal vorhanden.

2.2. Dualsystem

Die Basis B des Dualsystems ist 2. Damit können alle Zahlen (Werte) mit den Binärziffern 0 und 1 beschrieben werden.

Der Aufbau dieses polyadischen Zahlensystems soll an einem Beispiel erläutert werden: Die Ziffernfolge 1 0 1 bedeutet als Dezimalzahl gelesen einhundertundeins. Im Dualsystem haben die Stellen aber andere Wertigkeiten:

dual → dezimal

$$1\ 0\ 1 \triangleq 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0$$

$$1\ 0\ 1 \triangleq 4 \quad + 0 \quad + 1$$

$$1\ 0\ 1 \triangleq 5$$

Die Dualzahl 1 0 1 entspricht der Dezimalzahl 5.

Ein weiteres Beispiel:

$$1\ 1\ 0\ 0\ 1\ 0 \triangleq 1 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0$$

$$1\ 1\ 0\ 0\ 1\ 0 \triangleq 32 \quad + 16 \quad + 0 \quad + 0 \quad + 2 \quad + 0$$

$$1\ 1\ 0\ 0\ 1\ 0 \triangleq 50$$

Die Dualzahl 1 1 0 0 1 0 entspricht der Dezimalzahl 50.

Es ist zu erkennen, daß sich jeder Zahlenwert im Dualsystem darstellen läßt. Der Vorteil dieser Darstellungsart gegenüber dem Dezimalsystem liegt darin, daß sie nur die Ziffern oder Zeichen 0 und 1 benötigt. Der Nachteil ist der, daß aufgrund der kleinen Basis 2 eine wesentlich höhere Stellenzahl benötigt wird:

Stellenzahl

$$50 \triangleq \text{dezimal 2 Stellen}$$

$$50 \triangleq 1\ 1\ 0\ 0\ 1\ 0, \text{ also dual 6 Stellen}$$

Merke:

Die geringere Ziffernzahl hat beim Dualsystem eine höhere Stellenzahl zur Folge.

2.3. Transponieren der beiden Zahlensysteme

Das Transponieren (Umwandeln) einer Dual- in eine Dezimalzahl wurde bereits in den beiden vorherigen Beispielen gezeigt. Das Umwandeln einer Dezimal- in eine Dualzahl zeigt folgendes Beispiel:

dezimal → dual

$$1974 : 2 = 987 \text{ Rest } 0 \text{ (kleinste Stelle der Dualzahl)}$$

$$987 : 2 = 493 \text{ Rest } 1$$

$$493 : 2 = 246 \text{ Rest } 1$$

$$246 : 2 = 123 \text{ Rest } 0$$

$$123 : 2 = 61 \text{ Rest } 1$$

$$61 : 2 = 30 \text{ Rest } 1$$

$$30 : 2 = 15 \text{ Rest } 0$$

$$15 : 2 = 7 \text{ Rest } 1$$

$$7 : 2 = 3 \text{ Rest } 1$$

$$3 : 2 = 1 \text{ Rest } 1$$

$$1 : 2 = 0 \text{ Rest } 1 \text{ (größte Stelle der Dualzahl)}$$

Daraus folgt:

$$1974 \hat{=} 1\ 1\ 1\ 1\ 0\ 1\ 1\ 0\ 1\ 1\ 0$$

Kontrolle:

$$\begin{aligned}
 & 1 \cdot 2^{10} + 1 \cdot 2^9 + 1 \cdot 2^8 + 1 \cdot 2^7 + 0 \cdot 2^6 + 1 \cdot 2^5 + 1 \cdot 2^4 + \\
 & + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = \\
 & = 1024 + 512 + 256 + 128 + 0 + 32 + 16 + 0 + 4 + 2 + 0 = \\
 & = 1974
 \end{aligned}$$

Ein weiteres Umwandlungsbeispiel:

$$\begin{aligned}
 174 : 2 &= 87 \text{ Rest } 0 \text{ (kleinste Stelle der Dualzahl)} \\
 87 : 2 &= 43 \text{ Rest } 1 \\
 43 : 2 &= 21 \text{ Rest } 1 \\
 21 : 2 &= 10 \text{ Rest } 1 \\
 10 : 2 &= 5 \text{ Rest } 0 \\
 5 : 2 &= 2 \text{ Rest } 1 \\
 2 : 2 &= 1 \text{ Rest } 0 \\
 1 : 2 &= 0 \text{ Rest } 1 \text{ (größte Stelle der Dualzahl)}
 \end{aligned}$$

Daraus folgt:

$$174 \hat{=} 1\ 0\ 1\ 0\ 1\ 1\ 1\ 0$$

Kontrolle:

$$\begin{aligned}
 & 1 \cdot 2^7 + 0 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = \\
 & = 128 + 0 + 32 + 0 + 8 + 4 + 2 + 0 = \\
 & = 174
 \end{aligned}$$

3. Codieren von Ziffern und Zahlen mit Binärzeichen

Für die maschinelle Verarbeitung von Informationen müssen deren Ziffern und Zahlen durch physikalische Zustandsgrößen (z. B. Spannung, Strom usw.) dargestellt werden. Die technisch einfachste Lösung ergibt sich, wenn diese physikalischen Größen nur 2 entgegengesetzte Zustände aufweisen (z. B. Spannung vorhanden, Spannung nicht vorhanden). Der Zustand Spannung vorhanden kann dabei dem Binärzeichen 1, der Zustand Spannung nicht vorhanden dem Binärzeichen 0 entsprechen. Wie bereits erwähnt, bietet ein binäres Signal die einfachste Form einer digitalen Darstellung.

Damit eine aus binären Elementen aufgebaute Maschine Zahlen und Ziffern verarbeiten kann, muß der vorhandene Zeichenvorrat der Arbeitsweise der Maschine eindeutig zugeordnet werden. Diese Zuordnungsvorschrift wird als **Code** bezeichnet. In der einfachsten Form kann eine Dezimalzahl über das duale Zahlensystem in ein binär codiertes Signal verwandelt werden. Dies entspricht der Umwandlung einer Dezimalzahl in eine Dualzahl. Der so gewonnene Code wird als **reiner Binärcode** bezeichnet. In Tab. 3.1. ist der reine Binärcode für die Dezimalzahlen von 0 bis 15 dargestellt.

reiner Binärcode

Dezimalzahl	reiner Binärcode
0	0 0 0 0
1	0 0 0 1
2	0 0 1 0
3	0 0 1 1
4	0 1 0 0
5	0 1 0 1
6	0 1 1 0
7	0 1 1 1
8	1 0 0 0
9	1 0 0 1
10	1 0 1 0
11	1 0 1 1
12	1 1 0 0
13	1 1 0 1
14	1 1 1 0
15	1 1 1 1

Tab. 3.1.
Reiner Binärcode für die Dezimalzahlen von 0 bis 15

Codewort

Aus der Tabelle ist zu erkennen, daß mit einem 4stelligen Binärcode maximal 16 (0 bis 15) unterschiedliche Kombinationen gebildet werden können. Jede dieser $2^4 = 16$ Kombinationen wird auch als **Codewort** bezeichnet. Sollen z. B. die Zahlen von 0 bis 31 (32 Kombinationen) dargestellt werden, so sind mindestens 5 Binärstellen ($2^5 = 32$) erforderlich. Allgemein läßt sich sagen, daß mit n Stellen 2^n unterschiedliche Codewörter realisierbar sind.

Merke:

Mit einem n-stelligen reinen Binärcode lassen sich 2^n unterschiedliche Codewörter bilden.

bit

Jede Binärstelle ist in der Lage, eine ganz bestimmte Informations- oder Nachrichtenmenge zu vermitteln. Mit **einer** Binärstelle läßt sich die **kleinste** Nachrichtenmenge (vorhanden – nicht vorhanden, richtig – falsch, leuchtet – leuchtet nicht usw.) darstellen. Diese Nachrichtenmenge wird in der Nachrichtentheorie als Einheit verwendet und mit **bit** bezeichnet (engl., Kurzwort aus **binary digit** = Zweierstelle, Zweierzahl).

Merke:

1 bit ist die Kurzbezeichnung der Nachrichtenmenge einer Binärstelle.

Das Codewort 0 1 1 0 z. B. enthält eine Nachrichtenmenge von 4 bit.

Interessant für die Praxis ist, wie viele bits (wie viele Stellen) ein Codewort mindestens haben muß, um eine bestimmte Nachrichtenmenge darstellen zu können. Nehmen wir einmal an, das lateinische Alphabet mit 26 unterschiedlichen Zeichen soll binär verschlüsselt dargestellt werden. Mit 4-bit-Wörtern lassen sich maximal 16, mit 5-bit-Wörtern maximal 32 Kombinationen bilden. Da nur ganze Binärstellen möglich sind, muß also ein Code mit mindestens 5 bit (ein 5-bit-Code) verwendet werden. Wie sieht es aber aus, wenn größere Nachrichtenmengen in den Binärcode umgesetzt werden sollen? Auch hierbei kann man durch Überlegung die minimale bit-Zahl ermitteln. Zur Darstellung von 1000 unterschiedlichen Informationen werden mindestens 10 bit benötigt.

Anmerkung:

Mathematisch läßt sich die Anzahl x der erforderlichen bits aus der Gleichung

$$x = 3,32 \cdot \lg n$$

x = Anzahl der erforderlichen bits
n = Größe der Nachrichtenmenge
ableiten.

Beispiel:

Wie viele bits werden zur Darstellung der Dezimalzahl 10 000 benötigt?
Der Logarithmus von 10 000 ist 4. Damit ist:

$$x = 3,32 \cdot 4 = 13,28 \text{ bit}$$

Da nur ganze Binärstellen möglich sind, wird also ein 14-bit-Binärcode benötigt.

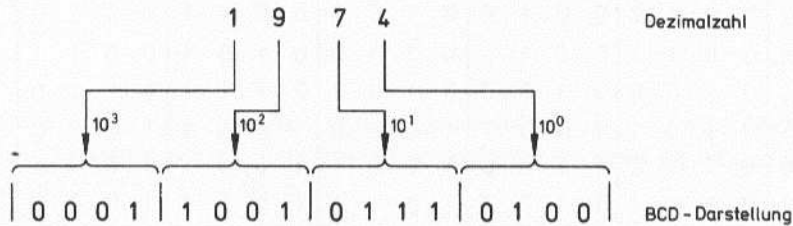
Redundanz

Noch einmal zurück zur Darstellung des lateinischen Alphabetes. Von den 32 möglichen Kombinationen des 5-bit-Codes werden nur 26 zur Darstellung der Zeichen benötigt. Den Überschuß von 6 Kombinationen bezeichnet man als **Redundanz** (Weitschweifigkeit). Eine Redundanz tritt z. B. auch auf, wenn die 10 Ziffern des Dezimalsystems im reinen Binärcode dargestellt werden. Mit einem 3-bit-Code lassen sich maximal $2^3 = 8$ Kombinationen bilden. Da aber 10 Kombinationen erforderlich sind, muß ein 4-bit-Code mit 16 Möglichkeiten gewählt werden, die Redundanz beträgt also 6.

3.1. Binärcodes für Dezimalziffern (BCD-Codes)

Der im Abschnitt 3. vorgestellte reine Binärcode hat den Vorteil, daß sich die häufig vorkommenden Rechenoperationen (Addition, Subtraktion, Multiplikation und Division) technisch besonders günstig realisieren lassen. Nachteilig ist dagegen die schwierige Interpretation durch den Menschen bei größeren Stellenzahlen.

Das Kennzeichen der BCD-Codes (BCD = **B**inär **C**odierte **D**ezimalziffer) ist, daß bei einer mehrstelligen Dezimalzahl jede Dezimalziffer **unabhängig** von allen anderen codiert ist. Das wird am folgenden Beispiel erläutert.



Jede Ziffer jeder Dezimalstelle (Wertigkeiten 10^0 bis 10^3) wird einzeln codiert. Da in jeder Dezimalstelle die Ziffern 0 bis 9 vorkommen können, werden pro Stelle mindestens 4 Binärstellen (4 bit) benötigt. Aus diesem Grunde spricht man auch von 4-bit-Codes oder Tetraden-codes. Von den mit 4 bit realisierbaren 16 Binärzeichenkombinationen müssen 10 für die Darstellung der Ziffern 0 bis 9 ausgewählt werden. Die 6 nicht benötigten Codewörter werden als **Pseudotetraden** oder **Pseudodezimalen** bezeichnet.

Es gibt sehr viele Möglichkeiten (ca. $3 \cdot 10^{10}$), den 10 Dezimalziffern entsprechende Codewörter zuzuordnen. In der Praxis werden von den Möglichkeiten jedoch nur wenige ausgenutzt. In Tab. 3.1.1. sind einige wichtige BCD-Codes dargestellt.

16 Binärwörter	zugeordnete Dezimalziffern					
	Reiner Binärcode	8421-Code	Aiken-Code	3-Exzeß-Code	White-Code	5221-Code
0 0 0 0	0	0	0	0	0	0
0 0 0 1	1	1	1	1	1	1
0 0 1 0	2	2	2	2	2	2
0 0 1 1	3	3	3	0	2	3
0 1 0 0	4	4	4	1	3	4
0 1 0 1	5	5	5	2	4	5
0 1 1 0	6	6	6	3	5	6
0 1 1 1	7	7	7	4	6	7
1 0 0 0	8	8	8	5	7	8
1 0 0 1	9	9	9	6	8	9
1 0 1 0	10			7	9	
1 0 1 1	11		5	8	0	1
1 1 0 0	12		6	9	1	2
1 1 0 1	13		7	0	2	3
1 1 1 0	14		8	1	3	4
1 1 1 1	15		9	2	4	5

Pseudotetraden

Tab. 3.1.1:
Wichtige BCD-Codes

Dieser Tabelle können Sie die Zuordnung von Dezimalziffern und Binärwörtern für einige wichtige BCD-Codes entnehmen. Am einfachsten ist der 8421-Code aufgebaut. Er stellt den auf eine Dekade begrenzten reinen Binärcode dar. Beim Aiken-Code dagegen werden nur den ersten 5 und den letzten 5 Binärwörtern Dezimalziffern zugeordnet.

Zur besseren Übersicht sind in Tab. 3.1.2. die angeführten Codes in einer anderen Form dargestellt. Während in Tab. 3.1.1. dem jeweiligen Binärwort eine Dezimalziffer zugeordnet ist, wird in Tab. 3.1.2. einer Dezimalziffer das jeweilige Binärwort zugeordnet.

	8421-Code	Aiken-Code	3-Exzeß-Code	White-Code	5221-Code	
Dezimalziffern	0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0
	1	0 0 0 1	0 0 0 1	0 1 0 0	0 0 0 1	0 0 0 1
	2	0 0 1 0	0 0 1 0	0 1 0 1	0 0 1 1	0 0 1 0
	3	0 0 1 1	0 0 1 1	0 1 1 0	0 1 0 1	0 0 1 1
	4	0 1 0 0	0 1 0 0	0 1 1 1	0 1 1 1	0 1 1 0
	5	0 1 0 1	1 0 1 1	1 0 0 0	1 0 0 0	1 0 0 0
	6	0 1 1 0	1 1 0 0	1 0 0 1	1 0 0 1	1 0 0 1
	7	0 1 1 1	1 1 0 1	1 0 1 0	1 0 1 1	1 0 1 0
	8	1 0 0 0	1 1 1 0	1 0 1 1	1 1 0 1	1 0 1 1
	9	1 0 0 1	1 1 1 1	1 1 0 0	1 1 1 1	1 1 1 0
	8 4 2 1	2 4 2 1	keine	5 2 1 1	5 2 2 1	Wertigkeit

Tab. 3.1.2.
Zusammenstellung wichtiger BCD-Codes

Beim reinen Binärcode, der der dualen Zahlendarstellung entspricht, haben die einzelnen Stellen die Wertigkeiten $2^3 = 8$, $2^2 = 4$, $2^1 = 2$ und $2^0 = 1$ (von links nach rechts gelesen). Da der 8421-Code die ersten 10 Stellen des reinen Binärcodes darstellt, wird die Stellenwertigkeit für seine Bezeichnung 8421 herangezogen. Da dieser Code ganz natürlich vom dualen Zahlensystem abgeleitet werden kann, wird dieser Code vielfach auch als **natürlicher BCD-Code** bzw. **NBCD-Code** bezeichnet.

Bis auf den 3-Exzeß-Code sind auch bei den anderen Codes Wertigkeiten angegeben. Beim Aiken-Code beträgt die Wertigkeit der einzelnen Stellen von links gelesen 2421. Damit ergibt sich z. B. die Dezimale 7 aus $1 \cdot 2 + 1 \cdot 4 + 0 \cdot 2 + 1 \cdot 1 = 7$. Beim 5221-Code läßt sich die 7 aus $1 \cdot 5 + 0 \cdot 2 + 1 \cdot 2 + 0 \cdot 1 = 7$ ableiten. Codes, bei denen die einzelnen bit-Stellen bewertet werden können, werden als **bewertbare Codes** oder auch als **gewichtete Codes** bezeichnet.

bewertbare Codes

	Gray-Code
0	0 0 0 0 0 0
1	0 0 0 0 0 1
2	0 0 0 0 1 1
3	0 0 0 0 1 0
4	0 0 0 1 1 0
5	0 0 0 1 1 1
6	0 0 0 1 0 1
7	0 0 0 1 0 0
8	0 0 1 1 0 0
9	0 0 1 1 0 1
10	0 0 1 1 1 1
11	0 0 1 1 1 0
12	0 0 1 0 1 0
13	0 0 1 0 1 1
14	0 0 1 0 0 1
15	0 0 1 0 0 0
16	0 1 0 0 0 0
17	0 1 0 0 0 1
⋮	

Tab. 3.1.3.
Gray-Code

Beim 3-Exzeß-Code ist keine Wertung der einzelnen Stellen möglich. Es handelt sich hierbei um eine reine Anordnung der Binärzeichen nach bestimmten Gesichtspunkten. Derartige Codes werden deshalb als **Anordnungscodes** bezeichnet.

**Anordnungs-
codes**

Merke:

BCD-Codes können grundsätzlich in
– gewichtete oder bewertbare Codes und in
– Anordnungscodes
eingeteilt werden.

Zum Abschluß dieses Abschnittes werden noch Codes erwähnt, die sich in der Meßtechnik zur Weg- bzw. Winkelmessung eignen. Gemeint sind die **einschrittigen Codes**, von denen der **Gray-Code** der bekannteste ist (Tab. 3.1.3.).

**einschrittige
Codes**

Das Merkmal dieses Codes ist, daß sich aufeinanderfolgende Codewörter nur in **einer** Binärstelle unterscheiden. Der Gray-Code ist nicht bewertbar, d.h. es handelt sich um einen Anordnungscode.

Fragen zu den Abschnitten 1. bis 3.

1. Wie werden in der Digitaltechnik alle Informationen dargestellt?
2. Welches Zahlensystem wird in der Digitaltechnik zum numerischen Darstellen von Informationen benutzt?
3. Welchen Dezimalzahlen entsprechen die Dualzahlen 1 0 0 1, 1 1 0 1 1 und 1 0 1 0 0 1 1 0?
4. Welchen Dualzahlen entsprechen die Dezimalzahlen 25 und 2156?
5. Wie lautet die Kurzbezeichnung für die kleinste Nachrichtenmenge?
6. Wie viele bits werden zur Darstellung der Dezimalzahl 100 benötigt?
7. Wie wird der Überschuß an bit-Kombinationen bezeichnet, wenn in einem Code nicht alle zur Verfügung stehenden bit-Kombinationen ausgenutzt werden?
8. Wie werden die nicht benötigten Codewörter bei 4-bit-Codes oder Tetradencodes bezeichnet?
9. Wie werden BCD-Codes grundsätzlich eingeteilt?

Antworten zu den Fragen für die Abschnitte 1. bis 3.

1. In der Digitaltechnik werden alle Informationen als Ziffern eines vereinbarten Zahlensystems dargestellt.

2. In der Digitaltechnik wird das duale oder dyadische Zahlensystem zum numerischen Darstellen von Informationen benutzt.

$$\begin{aligned} 3. \quad 1001 &\hat{=} 1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 \\ 1001 &\hat{=} 8 \quad + 0 \quad + 0 \quad + 1 \\ 1001 &\hat{=} 9 \end{aligned}$$

$$\begin{aligned} 11011 &\hat{=} 1 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 \\ 11011 &\hat{=} 16 \quad + 8 \quad + 0 \quad + 2 \quad + 1 \\ 11011 &\hat{=} 27 \end{aligned}$$

$$\begin{aligned} 10100110 &\hat{=} 1 \cdot 2^7 + 0 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + \\ &\quad + 0 \cdot 2^0 \\ 10100110 &\hat{=} 128 \quad + 0 \quad + 32 \quad + 0 \quad + 0 \quad + 4 \quad + 2 \quad + \\ &\quad + 0 \\ 10100110 &\hat{=} 166 \end{aligned}$$

$$\begin{aligned} 4. \quad 25 : 2 &= 12 \text{ Rest } 1 \\ 12 : 2 &= 6 \text{ Rest } 0 \\ 6 : 2 &= 3 \text{ Rest } 0 \\ 3 : 2 &= 1 \text{ Rest } 1 \\ 1 : 2 &= 0 \text{ Rest } 1 \end{aligned}$$

Daraus folgt: $25 \hat{=} 11001$

$$\begin{aligned} 2156 : 2 &= 1078 \text{ Rest } 0 \\ 1078 : 2 &= 539 \text{ Rest } 0 \\ 539 : 2 &= 269 \text{ Rest } 1 \\ 269 : 2 &= 134 \text{ Rest } 1 \\ 134 : 2 &= 67 \text{ Rest } 0 \\ 67 : 2 &= 33 \text{ Rest } 1 \\ 33 : 2 &= 16 \text{ Rest } 1 \\ 16 : 2 &= 8 \text{ Rest } 0 \\ 8 : 2 &= 4 \text{ Rest } 0 \\ 4 : 2 &= 2 \text{ Rest } 0 \\ 2 : 2 &= 1 \text{ Rest } 0 \\ 1 : 2 &= 0 \text{ Rest } 1 \end{aligned}$$

Daraus folgt: $2156 \hat{=} 100001101100$

5. Die Kurzbezeichnung für die kleinste Nachrichtenmenge ist bit.

$$6. \quad x = 3,32 \cdot \lg n = 3,32 \cdot \lg 100$$

Der 10er-Logarithmus von 100 ist 2. Damit ist:

$$x = 3,32 \cdot 2 = 6,64$$

Da nur ganze Binärstellen möglich sind, ergibt sich ein 7-bit-Binärcode.

7. Der Überschuß an bit-Kombinationen wird als Redundanz oder Weitschweifigkeit bezeichnet.

8. Die nicht benötigten Codewörter werden als Pseudotetraden oder Pseudodezimalen bezeichnet.

9. BCD-Codes werden grundsätzlich eingeteilt in:

- gewichtete oder bewertbare Codes
- Anordnungs-codes

4. Logische Grundverknüpfungen

Digital arbeitende Geräte erscheinen auf den ersten Blick recht kompliziert, aber ihr Aufbau beruht auf der Anwendung weniger **logischer Grundschaltungen**. Diese werden entsprechend der Problemstellung miteinander verknüpft. Dabei werden rein formale Methoden angewandt. Als Hilfsmittel dient die **Boolesche Algebra** (Georg Boole 1815 bis 1864), die in ihrer speziellen Anwendung für die Digitaltechnik auch als **Schaltalgebra** bezeichnet wird.

In der normalen Algebra kann eine Variable x theoretisch unendlich viele Werte annehmen (z. B. $x = 1$; $x = 10$; $x = 9,5$; $x = 99,85$ usw.). Eine **logische Variable** hingegen kann nur 2 diskrete Werte ($x = 0$ oder $x = 1$) annehmen. Aufgrund dieser Tatsache lassen sich eindeutige, logische Aussagen treffen. Die Schaltalgebra kennt nur die Aussagen **logisch wahr** und **logisch falsch**. Zwischenbedeutungen sind ausgeschlossen. Vollkommen eindeutig sind z. B. die Aussagen: „die Lampe leuchtet“ oder „die Lampe leuchtet nicht“. Nicht mehr eindeutig dagegen sind die Aussagen: „die Lampe leuchtet ein wenig“ oder „die Lampe leuchtet fast nicht“. Es ist üblich, die Aussage „logisch wahr“ mit 1 oder L, die Aussage „logisch falsch“ mit 0 oder O zu bezeichnen. In diesem Lehrheft verwenden wir die Bezeichnungen 0 und 1. Eine Verwechslung mit den Ziffern 0 und 1 kann dabei praktisch nicht auftreten, da aus dem Zusammenhang hervorgeht, ob eine Zahl oder ein logischer Wert gemeint ist.

Wie in der Analogtechnik ist es für den Entwurf von umfangreichen binären Schaltungen erforderlich, die Funktionen der verwendeten Grundschaltungen mathematisch oder symbolisch zu beschreiben. Erst dann ist eine Berechnung der Gesamtschaltung möglich. Eine Schaltung kann dann eine logische Aussage machen, wenn sie bei einer bestimmten Kombination der Eingangsvariablen einen definierten Ausgangszustand aufweist. Jede Eingangsvariable kann dabei nur die logischen Werte 0 oder 1 annehmen. Der Ausgangszustand kann ebenfalls nur 0 oder 1 sein. Es gibt nun in der Schaltalgebra 3 grundlegende Verknüpfungen, mit denen praktisch alle Schaltungen realisiert werden können:

- NICHT-Verknüpfung (Negation)
- UND-Verknüpfung (Konjunktion)
- ODER-Verknüpfung (Disjunktion)

4.1. NICHT-Verknüpfung

Die NICHT-Verknüpfung (auch NICHT-Funktion genannt) stellt die einfachste logische Grundverknüpfung dar. Ihr logisches Verhalten kann mit einer Funktions- oder Wahrheitstabelle beschrieben werden (Tab. 4.1.1.).

Eingangsvariable x	Ausgangsvariable y
0	1
1	0

Tab. 4.1.1.
Funktionstabelle der NICHT-Verknüpfung

Dieser Tabelle ist zu entnehmen, daß die Ausgangsvariable y der Verknüpfung den Zustand 1 aufweist, wenn die Eingangsvariable x den Zustand 0 hat und umgekehrt. Diese Funktion kann technisch durch eine Inverterstufe realisiert werden (Abb. 4.1.1.).

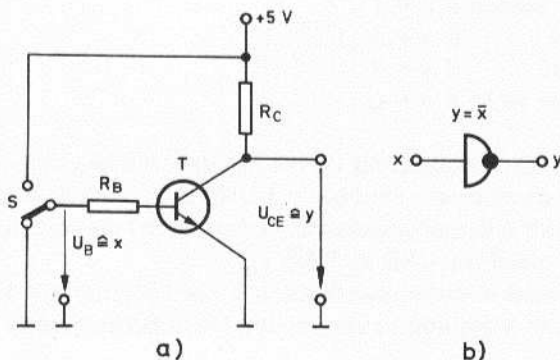


Abb. 4.1.1.
Inverterstufe als NICHT-Verknüpfung
a) Schaltung
b) Logiksymbol

Schaltalgebra

Grundverknüpfungen

NICHT

Exp. 1

Trifft man die **Festlegungen** $U_{CE} = 0\text{ V} \hat{=} y = 0$ und $U_{CE} = +5\text{ V} \hat{=} y = 1$ sowie $U_B = 0\text{ V} \hat{=} x = 0$ und $U_B = +5\text{ V} \hat{=} x = 1$, zeigt diese Schaltung das Verhalten einer NICHT-Verknüpfung. Bei der Schalterstellung $U_B = 0\text{ V}$, d.h. $x = 0$ ist der Transistor T gesperrt, so daß die Ausgangsspannung $U_{CE} = +5\text{ V}$ beträgt. Damit ist $y = 1$. Im anderen Fall (S an $+5\text{ V}$) ist $U_B = +5\text{ V}$, also $x = 1$. Der als elektronischer Schalter dimensionierte Transistor ist voll leitend, d.h. die Spannung U_{CE} beträgt annähernd 0 V . Dies entspricht dem Ausgangszustand $y = 0$. In Abb. 4.1.1.b ist das Logiksymbol für eine NICHT-Schaltung (auch NICHT-Gatter oder Inverter genannt) dargestellt. Mathematisch wird die NICHT-Funktion in der schaltalgebraischen Schreibweise durch den Ausdruck $y = \bar{x}$ (lies: y ist gleich x NICHT) angegeben. Der Querstrich über dem x symbolisiert das invertierende Verhalten ($x = 0 \hat{=} y = 1$ und $x = 1 \hat{=} y = 0$) dieser Funktion.

4.2. UND-VERKNÜPFUNG

Im Gegensatz zur NICHT- hat eine UND-Verknüpfung (konjunktive Verknüpfung) bei einer Ausgangsvariablen y **mindestens** 2 Eingangsvariable (x_1, x_2 bis x_n). Das logische Verhalten dieser Funktion mit 2 Eingangsvariablen zeigt Tab. 4.2.1.

x_2	x_1	y
0	0	0
0	1	0
1	0	0
1	1	1

Tab. 4.2.1.
Funktionstabelle der UND-Verknüpfung

Dieser Tabelle ist zu entnehmen, daß die Ausgangsvariable y nur dann den Zustand 1 einnimmt, wenn beide Eingangsvariablen x_1 UND x_2 den Zustand 1 aufweisen. In allen anderen Fällen ist $y = 0$. Das Verhalten der UND-Funktion kann einleuchtend am Beispiel hintereinandergeschalteter Schalter erklärt werden (Abb. 4.2.1.a).

UND

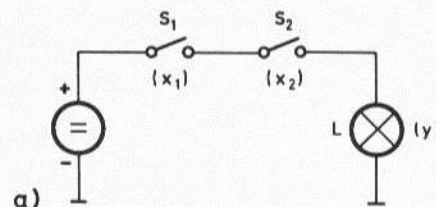
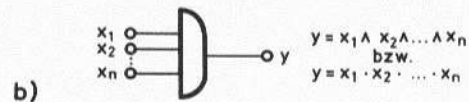


Abb. 4.2.1.
UND-Verknüpfung

- a) Realisierung mit Schaltern
- b) Logiksymbol und schaltalgebraische Gleichung



- Bei diesem Beispiel gelten folgende Festlegungen:
- Schalter geschlossen $\hat{=} x = 1$
 - Schalter offen $\hat{=} x = 0$
 - Lampe leuchtet $\hat{=} y = 1$
 - Lampe leuchtet nicht $\hat{=} y = 0$

Damit handelt es sich eindeutig um eine UND-Verknüpfung, da die Lampe L nur leuchten kann ($y = 1$), wenn beide Schalter (S_1 UND S_2) geschlossen sind ($x_1 = 1$ UND $x_2 = 1$). Abb. 4.2.1.b zeigt das Logiksymbol eines UND-Gatters für n Eingangsvariable. Außerdem ist die schaltalgebraische Gleichung angegeben (lies: y ist gleich x_1 UND x_2 UND x_n).

Nach DIN 66000 soll als Verknüpfungssymbol \wedge verwendet werden. In der Fachliteratur dagegen wird häufig als Verknüpfungssymbol ein Malpunkt (\cdot) verwendet. Diese Schreibweise läßt die DIN-Norm ebenfalls zu.

Exp. 2

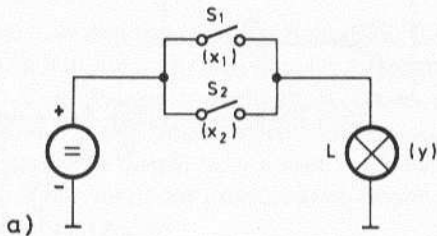
4.3. ODER-Verknüpfung

Eine ODER-Verknüpfung (disjunktive Verknüpfung) erfordert bei einer Ausgangsvariablen ebenfalls **mindestens** 2 Eingangsvariable. Tab. 4.3.1. zeigt das logische Verhalten dieser Funktion mit 2 Eingangsvariablen.

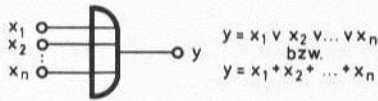
x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	1

Tab. 4.3.1.
Funktionstabelle der ODER-Verknüpfung

Die Tabelle sagt aus, daß y immer dann 1 ist, wenn mindestens eine Eingangsvariable (x_1 ODER x_2) den Zustand 1 aufweist. Die Erklärung dieser Funktion soll wieder mit Schaltern erfolgen (Abb. 4.3.1.a).



a)



b)

Abb. 4.3.1.
ODER-Verknüpfung
a) Realisierung mit Schaltern
b) Logiksymbol und schaltalgebraische Gleichung

ODER

Exp. 3

Dieser Abbildung ist zu entnehmen, daß bereits **ein** geschlossener Schalter die Lampe zum Leuchten bringt.

Nach DIN 66000 soll als Verknüpfungssymbol v verwendet werden. Ebenfalls zugelassen ist das $+$ -Zeichen, das in diesem Lehrheft verwendet wird.

4.4. Aufstellen von Funktionstabellen

Bedingt durch das binäre Verhalten der logischen Variablen lassen sich mit n Variablen 2^n unterschiedliche Kombinationen bilden. So sind z. B. bei 2 Eingangsvariablen $2^2 = 4$ unterschiedliche Eingangskombinationen möglich (siehe Tab. 4.2.1. und 4.3.1.). Bei 2 Variablen lassen sich die 4 unterschiedlichen Möglichkeiten noch leicht durch Überlegung finden. Bei mehreren Variablen wäre diese Methode recht zeitraubend. In der Praxis lassen sich jedoch die möglichen Kombinationen durch einen einfacheren Formalismus darstellen. Dieser Formalismus soll in Tab. 4.4.1. am Beispiel der 3 Eingangsvariablen x_1 , x_2 und x_3 erläutert werden.

x_3	x_2	x_1	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

8 unterschiedliche Kombinationen

Tab. 4.4.1.
Formalismus zum Aufstellen der möglichen Kombinationen bei 3 Eingangsvariablen

Funktionstabelle

Bei 3 Eingangsvariablen ergeben sich $2^3 = 8$ Kombinationen. Die Variable x_1 wird abwechselnd mit 0 und 1 8mal aufgeschrieben. Die Variable x_2 wird jeweils mit 2mal 0 und 2mal 1, die Variable x_3 mit 4mal 0 und 4mal 1 eingetragen. Bei 4 Variablen müßte x_1 mit 0 und 1 16mal eingetragen werden usw.

4.5. Positive und negative Logik

In der Digitaltechnik werden üblicherweise die logischen Werte 0 und 1 bestimmten Spannungen zugeordnet. Die Zuordnung ist zunächst rein willkürlich. Ist aber einmal eine Festlegung getroffen, so muß diese konsequent beibehalten werden. Schauen wir uns nun eine einfache Diodenschaltung an (Abb. 4.5.1.).

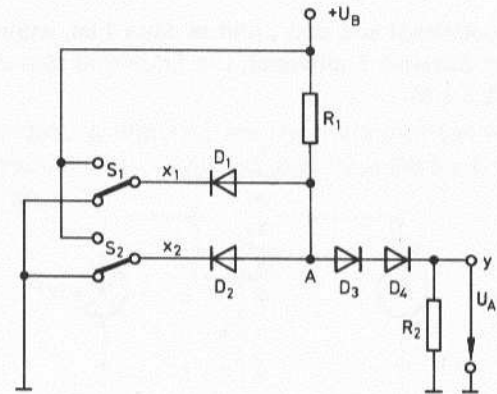


Abb. 4.5.1.
Diodenschaltung zur Erklärung der positiven und negativen Logik

Diese Schaltung kann erst eine Logikfunktion übernehmen, wenn bestimmte Zuordnungen getroffen sind. Grundsätzlich gibt es hierfür 2 Möglichkeiten.

positive Logik

1. Zuordnungsmöglichkeit:

$$\begin{aligned}
 U_A = 0 \text{ V} &\hat{=} y = 0 \\
 U_A = x \text{ V} &\hat{=} y = 1 \\
 S_1 \text{ und } S_2 \text{ an Masse} &\hat{=} x_1 = x_2 = 0 \\
 S_1 \text{ und } S_2 \text{ an } +U_B &\hat{=} x_1 = x_2 = 1
 \end{aligned}$$

Anmerkung:

Die Spannung $U_A = x \text{ V}$ ergibt sich aus dem Spannungsteilverhältnis von R_1 und R_2 .

Untersuchen wir diese Konfiguration anhand einer Funktionstabelle (Tab. 4.5.1.).

Tab. 4.5.1.
Funktionstabelle für die Schaltung nach
Abb. 4.5.1.

x_2	x_1	y	
0	0	0	(S_1 und S_2 an Masse)
0	1	0	(S_1 an $+U_B$, S_2 an Masse)
1	0	0	(S_1 an Masse, S_2 an $+U_B$)
1	1	1	(S_1 und S_2 an $+U_B$)

Liegen S_1 und S_2 an Masse ($x_1 = x_2 = 0$), kann über die Dioden D_1 , D_2 und den Widerstand R_1 ein Strom fließen. Am Punkt A steht eine Spannung, die der Flußspannung U_F einer Diodenstrecke entspricht (je nach Strom und Diodentyp 0,3 bis 0,8 V). Über den Widerstand R_2 kann kein Strom fließen, da hierfür mindestens eine Spannung von $2 U_F$ erforderlich ist (Dioden D_3 und D_4). Damit ist $U_A = 0 \text{ V}$ ($y = 0$). An diesem Zustand ändert sich auch dann noch nichts, wenn einer der beiden Schalter den Kontakt zu $+U_B$ herstellt. Nach wie vor kann dann noch über eine der beiden Dioden D_1 , D_2 Strom fließen, so daß am Punkt A die Spannung U_F steht. Erst wenn beide Schalter mit $+U_B$ verbunden werden, kann ein Strom über D_3 , D_4 und R_2 fließen, so daß $U_A = x \text{ V}$ wird. $U_A = x \text{ V}$ entspricht dem Zustand $y = 1$.

Bei dieser Zuordnung wirkt die Schaltung als UND-Gatter.

2. Zuordnungsmöglichkeit

negative Logik

$$\begin{aligned}U_A = 0 \text{ V} &\hat{=} y = 1 \\U_A = x \text{ V} &\hat{=} y = 0 \\S_1 \text{ und } S_2 \text{ an Masse} &\hat{=} x_1 = x_2 = 1 \\S_1 \text{ und } S_2 \text{ an } +U_B &\hat{=} x_1 = x_2 = 0\end{aligned}$$

Auch hierfür wird eine Funktionstabelle aufgestellt (Tab. 4.5.2.).

x_2	x_1	y	
0	0	0	(S_1 und S_2 an $+U_B$)
0	1	1	(S_1 an Masse, S_2 an $+U_B$)
1	0	1	(S_2 an Masse, S_1 an $+U_B$)
1	1	1	(S_1 und S_2 an Masse)

Tab. 4.5.2.

Funktionstabelle für die Schaltung nach Abb. 4.5.1.

Bei dieser Zuordnung erfüllt die Schaltung die Funktion eines ODER-Gatters.

Dieselbe Schaltung kann also je nach Zuordnung eine UND- oder eine ODER-Funktion erfüllen. Bei der 1. Zuordnungsmöglichkeit wurde jeweils der Binärwert 1 der **positiveren** Spannung, der Binärwert 0 der **negativeren** Spannung (im Beispiel 0 V) zugeordnet. Diese Zuordnung wird als **positive Logik** bezeichnet. Im 2. Fall wurde der Binärwert 1 der **negativeren** Spannung, der Binärwert 0 der **positiveren** Spannung zugeordnet. In diesem Fall handelt es sich um eine **negative Logik**.

Merke:

Ein UND-Gatter in positiver Logik erfüllt in negativer Logik eine ODER-Funktion und umgekehrt.

Fragen zu Abschnitt 4.

1. Wie viele diskrete Werte kann eine logische Variable annehmen?
2. Wie heißen die 3 Grundverknüpfungen der Schaltalgebra?
3. Wann nimmt bei der UND-Verknüpfung die Ausgangsvariable y den logischen Zustand 1 ein?
4. Welches der angegebenen Logiksymbole wird für die UND-Verknüpfung verwendet?



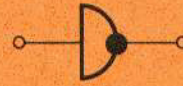
a)



b)



c)



d)

5. Der Spannungswert 0 V ist log. 1 und der Spannungswert -5 V ist log. 0 zugeordnet. Welcher Logik entspricht dies?

Antworten zu den Fragen zu Abschnitt 4.

1. Eine logische Variable kann nur 2 diskrete Werte annehmen.
2. Die 3 Grundverknüpfungen der Schaltalgebra sind:
 - NICHT-Verknüpfung (Negation)
 - UND-Verknüpfung (Konjunktion)
 - ODER-Verknüpfung (Disjunktion)
3. Bei der UND-Verknüpfung nimmt die Ausgangsvariable y den Zustand 1 ein, wenn alle Eingangsvariablen gleich 1 sind.
4. Das Schaltsymbol c entspricht der UND-Verknüpfung.
5. Der Spannungswert 0 V (log. 1) ist positiver als der Spannungswert -5 V. Diese Zuordnung entspricht also der positiven Logik.

5. Rechengesetze der Schaltalgebra

Als grundlegende Verknüpfungen haben wir die NICHT-, UND- und ODER-Verknüpfungen kennengelernt. Darüber hinaus gibt es in der Schaltalgebra eine Reihe von Gesetzen, die das Berechnen umfangreicher logischer Gleichungen ermöglichen. Diese Rechengesetze werden im folgenden erläutert.

5.1. Kommutativgesetz (Vertauschungsgesetz)

In einer Schaltfunktion mit gleichen logischen Verknüpfungen können die Variablen in ihrer Reihenfolge vertauscht werden (Abb. 5.1.1.).

	Gleichung	Darstellung mit Kontakten	Darstellung mit Logiksymbolen
UND	$x_1 \cdot x_2 = x_2 \cdot x_1$		
ODER	$x_1 + x_2 = x_2 + x_1$		

Abb. 5.1.1.

Erläuterung des Kommutativgesetzes für UND- und ODER-Verknüpfungen

Kommutativgesetz

5.2. Assoziativgesetz (Verbindungsgesetz)

In einer Schaltfunktion mit gleichen logischen Verknüpfungen ist es gleichgültig, ob und an welcher Stelle Klammern gesetzt werden (Abb. 5.2.1.).

	Gleichung	Darstellung mit Kontakten	Darstellung mit Logiksymbolen
UND	$x_1 \cdot x_2 \cdot x_3 = x_1 \cdot (x_2 \cdot x_3) =$ $= (x_1 \cdot x_2) \cdot x_3 =$ $= (x_1 \cdot x_3) \cdot x_2$		
ODER	$x_1 + x_2 + x_3 = x_1 + (x_2 + x_3) =$ $= (x_1 + x_2) + x_3 =$ $= (x_1 + x_3) + x_2$		

Abb. 5.2.1.

Erläuterung des Assoziativgesetzes für UND- und ODER-Verknüpfungen

Assoziativgesetz

Exp. 4

Distributivgesetz

5.3. Distributivgesetz (Verteilungsgesetz)

Ist in einer Schaltfunktion mit beliebigen Variablen eine Anzahl gleicher Variablen konjunktiv (UND) oder disjunktiv (ODER) verknüpft, so können diese durch eine einzige konjunktiv bzw. disjunktiv verknüpfte Variable ersetzt werden (Abb. 5.3.1.).

	Gleichung	Darstellung mit Kontakten	Darstellung mit Logiksymbolen
UND	$x_1 \cdot x_2 + x_2 \cdot x_3 =$ $= x_2 \cdot (x_1 + x_3)$		
ODER	$(x_1 + x_2) \cdot (x_2 + x_3) =$ $= x_2 + x_1 \cdot x_3$		

Abb. 5.3.1.

Erläuterung des Distributivgesetzes für UND- und ODER-Verknüpfungen

Exp. 5

Inversionsgesetz

5.4. Inversionsgesetz (Umkehrungsgesetz)

Das Inversionsgesetz hat in der Schaltalgebra eine besondere Bedeutung. Nach seinem Entdecker wird es häufig auch als **de Morgan-Theorem** bezeichnet. Dieses Gesetz ermöglicht, Konjunktionen in Disjunktionen umzuformen und umgekehrt (Abb. 5.4.1.).

	Gleichung	Darstellung mit Kontakten	Darstellung mit Logiksymbolen
UND	$x_1 \cdot x_2 = \overline{\bar{x}_1 + \bar{x}_2}$		
ODER	$x_1 + x_2 = \overline{\bar{x}_1 \cdot \bar{x}_2}$		

Abb. 5.4.1.

Darstellung des Inversionsgesetzes für UND- und ODER-Verknüpfungen

Anmerkung:

Der Kontakt h schließt, wenn das Hilfsrelais H stromlos wird.

Die einfache UND-Verknüpfung $x_1 \cdot x_2$ (Abb. 5.4.1.) kann auch durch den Ausdruck $\overline{\overline{x_1 + x_2}}$ beschrieben werden, d. h. die rechte Logikanordnung erfüllt ebenfalls eine UND-Funktion. Liegt an den Eingängen x_1 und x_2 eine 1, liegen (durch die NICHT-Gatter bedingt) beide Eingänge des ODER-Gatters an 0. Damit ist auch der Ausgang des ODER-Gatters 0, so daß nach einem weiteren NICHT-Gatter am Ausgang der Schaltung eine 1 steht. Liegt dagegen ein Eingang an 0, so wird durch die Invertierung ein Eingang des ODER-Gatters positiv. Dies genügt, damit am Ausgang des ODER-Gatters eine 1 und somit über eine weitere Invertierung am Ausgang der Schaltung eine 0 liegt.

In Abb. 5.4.1. wird die einfache ODER-Funktion $x_1 + x_2$ durch den Ausdruck $\overline{\overline{x_1} \cdot \overline{x_2}}$ dargestellt. Dies bedeutet, daß die rechte Anordnung eine ODER-Funktion erfüllt. Auch die Richtigkeit dieses Gesetzes kann leicht nachgewiesen werden: Liegen die Eingänge x_1 und x_2 an 0, liefert das UND-Gatter eine 1. Diese wird invertiert, und am Ausgang erscheint eine 0. Liegt dagegen an einem Eingang eine 1, ist der Ausgang des UND-Gatters 0. Durch die Invertierung liegt am Ausgang der Schaltung dann eine 1.

Nun wird noch die Schreibweise $\overline{x_1 + x_2}$ bzw. $\overline{\overline{x_1} \cdot \overline{x_2}}$ erläutert: Der Querstrich über einer Variablen gibt deren Invertierung an (siehe Abb. 4.1.1.). Der lange Querstrich über beide (bereits invertierten) Variablen bedeutet, daß die Funktion $x_1 + x_2$ bzw. $\overline{\overline{x_1} \cdot \overline{x_2}}$ invertiert werden muß. In Tab. 5.4.1. sind die Zusammenhänge aus Abb. 5.4.1. noch einmal zusammengefaßt dargestellt.

x_2	x_1	$\overline{x_2}$	$\overline{x_1}$	$\overline{x_2 + x_1}$	$\overline{\overline{x_2} \cdot \overline{x_1}}$	x_2	x_1	$\overline{x_2}$	$\overline{x_1}$	$\overline{x_2 \cdot x_1}$	$\overline{\overline{x_2} \cdot \overline{x_1}}$
0	0	1	1	1	0	0	0	1	1	1	0
0	1	1	0	1	0	0	1	1	0	0	1
1	0	0	1	1	0	1	0	0	1	0	1
1	1	0	0	0	1	1	1	0	0	0	1

Tab. 5.4.1.
Tabellenförmige Darstellung des Inversionsgesetzes
a) für die UND-Verknüpfung
b) für die ODER-Verknüpfung

Wie wir später sehen werden, ist es unter Anwendung des Inversionsgesetzes möglich, jede vorkommende Logikschaltung mit sog. Universalgattern zu realisieren.

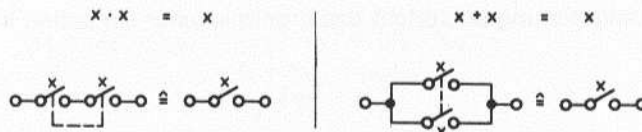
Exp. 6

6. Rechenregeln der Schaltalgebra

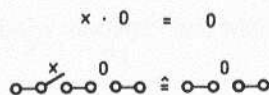
Aus den im Abschnitt 5. angegebenen Rechengesetzen können eine Reihe von Vereinfachungsregeln abgeleitet werden. Unter Anwendung dieser Regeln läßt sich der Gatteraufwand bei digitalen Schaltungen reduzieren.

Rechenregeln

1. Mehrere gleiche konjunktiv bzw. disjunktiv verknüpfte Variablen können durch eine einzige Variable dargestellt werden.

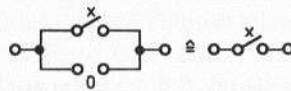


2. Die konjunktive Verknüpfung einer Variablen mit 0 entspricht 0.



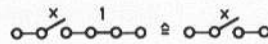
3. Die disjunktive Verknüpfung einer Variablen mit 0 entspricht der Variablen.

$$x + 0 = x$$



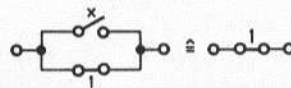
4. Die konjunktive Verknüpfung einer Variablen mit 1 entspricht der Variablen.

$$x \cdot 1 = x$$



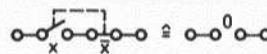
5. Die disjunktive Verknüpfung einer Variablen mit 1 entspricht 1.

$$x + 1 = 1$$



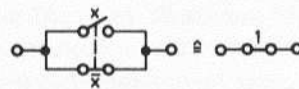
6. Die konjunktive Verknüpfung einer Variablen mit der Negation dieser Variablen entspricht 0.

$$x \cdot \bar{x} = 0$$



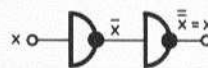
7. Die disjunktive Verknüpfung einer Variablen mit der Negation dieser Variablen entspricht 1.

$$x + \bar{x} = 1$$



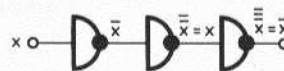
8. Aufgrund der Zweiwertigkeit von logischen Variablen muß bei $x = 1$ die invertierte Variable $\bar{x} = 0$ sein. Bei einer einfachen Invertierung wird also aus x die invertierte Variable \bar{x} . Bei einer doppelten Invertierung wird aus \bar{x} wieder die ursprüngliche Variable x .

$$\bar{\bar{x}} = x$$



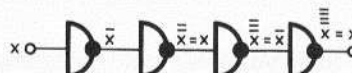
Bei einer 3fachen Invertierung entspricht das Ergebnis einer einfachen Invertierung.

$$\bar{\bar{\bar{x}}} = \bar{x}$$



Bei einer 4fachen Invertierung entspricht das Ergebnis wieder der Ursprungsvariablen.

$$\bar{\bar{\bar{\bar{x}}}} = x$$



Merke:

Wird eine logische Variable x geradzahlig invertiert, ist das Ergebnis die Ursprungsvariable x .
 Wird eine logische Variable x ungeradzahlig invertiert, ist das Ergebnis \bar{x} .

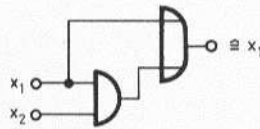
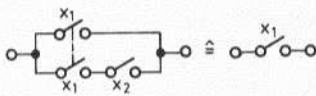
6.1. Allgemeine Kürzungsregeln der Schaltalgebra

Aus den in den Abschnitten 5. und 6. angegebenen Rechengesetzen und Rechenregeln lassen sich einige wichtige Kürzungsregeln ableiten.

Kürzungsregeln

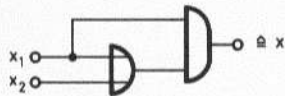
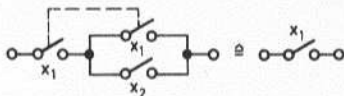
1. $x_1 + (x_1 \cdot x_2) = x_1$

Beweis: $x_1 + (x_1 \cdot x_2) = (x_1 \cdot 1) + (x_1 \cdot x_2) = (x_1 \cdot 1 = x_1)$
 $= x_1 \cdot (1 + x_2) = (Distributivgesetz)$
 $= x_1 \cdot 1 = (1 + x_2 = 1)$
 $= x_1$



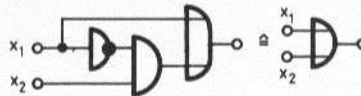
2. $x_1 \cdot (x_1 + x_2) = x_1$

Beweis: $x_1 \cdot (x_1 + x_2) = (x_1 \cdot x_1) + (x_1 \cdot x_2) = (Distributivgesetz)$
 $= x_1 + (x_1 \cdot x_2) = (x_1 \cdot x_1 = x_1)$
 $= x_1$ (siehe Regel 1)



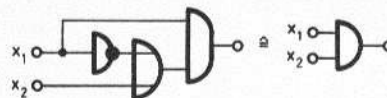
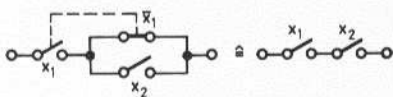
3. $x_1 + (\bar{x}_1 \cdot x_2) = x_1 + x_2$

Beweis: $x_1 + (\bar{x}_1 \cdot x_2) = (x_1 + \bar{x}_1) \cdot (x_1 + x_2) = (Distributivgesetz)$
 $= 1 \cdot (x_1 + x_2) = (x_1 + \bar{x}_1 = 1)$
 $= x_1 + x_2$



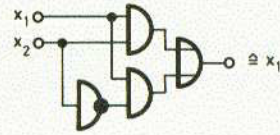
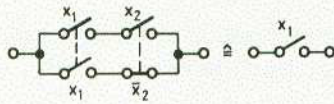
4. $x_1 \cdot (x_1 + x_2) = x_1 \cdot x_2$

Beweis: $x_1 \cdot (\bar{x}_1 + x_2) = (x_1 \cdot \bar{x}_1) + (x_1 \cdot x_2) = (Distributivgesetz)$
 $= 0 + (x_1 \cdot x_2) = (x_1 \cdot \bar{x}_1 = 0)$
 $= x_1 \cdot x_2$



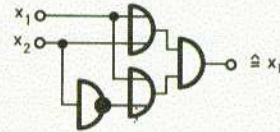
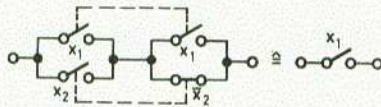
5. $(x_1 \cdot x_2) + (x_1 \cdot \bar{x}_2) = x_1$

Beweis: $(x_1 \cdot x_2) + (x_1 \cdot \bar{x}_2) = x_1 \cdot (x_2 + \bar{x}_2) = (Distributivgesetz)$
 $= x_1 \cdot 1 = (x_2 + \bar{x}_2 = 1)$
 $= x_1$



6. $(x_1 + x_2) \cdot (x_1 + \bar{x}_2) = x_1$

Beweis: $(x_1 + x_2) \cdot (x_1 + \bar{x}_2) = x_1 + (x_2 \cdot \bar{x}_2) =$ (Distributivgesetz)
 $= x_1 + 0 =$ ($x_2 \cdot \bar{x}_2 = 0$)
 $= x_1$



Exp. 8

Zur besseren Übersicht sind in Tab. 6.1.1. die behandelten Rechengesetze, Rechenregeln und Kürzungsregeln zusammengefaßt.

Rechengesetze	$x_1 \cdot x_2 = x_2 \cdot x_1$	Kommutativgesetz
	$x_1 + x_2 = x_2 + x_1$	
	$x_1 \cdot x_2 \cdot x_3 = x_1 \cdot (x_2 \cdot x_3) = (x_1 \cdot x_2) \cdot x_3 =$ $= (x_1 \cdot x_3) \cdot x_2$	Assoziativgesetz
	$x_1 + x_2 + x_3 = x_1 + (x_2 + x_3) = (x_1 + x_2) + x_3 =$ $= (x_1 + x_3) + x_2$	
	$x_1 \cdot x_2 + x_2 \cdot x_3 = x_2 \cdot (x_1 + x_3)$	Distributivgesetz
	$(x_1 + x_2) \cdot (x_2 + x_3) = x_2 + x_1 \cdot x_3$	
	$x_1 \cdot x_2 = \overline{\overline{x_1} + \overline{x_2}}$	Inversionsgesetz (Theorem von de Morgan)
$x_1 + x_2 = \overline{\overline{x_1} \cdot \overline{x_2}}$		
Rechenregeln	$x \cdot x = x; x + x = x$	
	$x \cdot 0 = 0; x + 0 = x$	
	$x \cdot 1 = x; x + 1 = 1$	
	$x \cdot \bar{x} = 0; x + \bar{x} = 1$	
	$\overline{\overline{x}} = x; \overline{\overline{\overline{x}}} = \overline{\overline{x}}; \overline{\overline{\overline{\overline{x}}}} = x$	
Kürzungsregeln	$x_1 + (x_1 \cdot x_2) = x_1; x_1 \cdot (x_1 + x_2) = x_1$	
	$x_1 + (\overline{x_1} \cdot x_2) = x_1 + x_2; x_1 \cdot (\overline{x_1} + x_2) = x_1 \cdot x_2$	
	$(x_1 \cdot x_2) + (x_1 \cdot \bar{x}_2) = x_1; (x_1 + x_2) \cdot (x_1 + \bar{x}_2) = x_1$	

Tab. 6.1.1.
Rechengesetze, Rechenregeln und Kürzungsregeln der Schaltalgebra

Fragen zu den Abschnitten 5. und 6.

Vereinfachen Sie die nachfolgenden schaltalgebraischen Gleichungen:

$$1. z = \bar{x} + \bar{y}$$

$$2. z = \overline{\bar{x} \cdot \bar{y}}$$

$$3. z = \overline{\bar{x} \cdot \bar{y}}$$

$$4. z = \overline{\bar{x} + \bar{y}}$$

$$5. z = \overline{\bar{x} \cdot \bar{y}}$$

$$6. y = x_1 \cdot \bar{x}_1 \cdot x_2$$

$$7. y = x_2 + (x_1 \cdot \bar{x}_2)$$

$$8. y = (\bar{x}_1 + \bar{x}_2) \cdot (\bar{x}_1 + x_2) \cdot (x_1 + \bar{x}_2) \cdot (x_1 + x_2)$$

$$9. y = x_1 \cdot (\overline{\bar{x}_1 \cdot \bar{x}_2})$$

$$10. y = x_1 \cdot (\overline{\bar{x}_2 + x_3})$$

Antworten zu den Fragen für die Abschnitte 5. und 6.

$$1. z = \overline{\overline{x}} + \overline{\overline{y}} = x + y$$

$$2. z = \overline{\overline{\overline{x} \cdot \overline{y}}} = \overline{\overline{x} \cdot \overline{y}}$$

$$3. z = \overline{\overline{x} \cdot \overline{y}} = \overline{\overline{x}} + \overline{\overline{y}} = x + y$$

$$4. z = \overline{\overline{\overline{x}} + \overline{\overline{y}}} = \overline{\overline{x}} \cdot \overline{\overline{y}} = \overline{x} \cdot \overline{y}$$

$$5. z = \overline{\overline{\overline{x} \cdot \overline{y}}} = \overline{\overline{x}} + \overline{\overline{y}} = x + y$$

$$6. y = x_1 \cdot \overline{x_1} \cdot x_2 = 0 \cdot x_2 = 0$$

$$7. y = x_2 + (x_1 \cdot \overline{x_2}) = (x_1 + x_2) \cdot (x_2 + \overline{x_2}) = (x_1 + x_2) \cdot 1 = x_1 + x_2$$

$$\begin{aligned} 8. y &= (\overline{x_1} + \overline{x_2}) \cdot (\overline{x_1} + x_2) \cdot (x_1 + \overline{x_2}) \cdot (x_1 + x_2) = \\ &= [\overline{x_1} + (\overline{x_2} \cdot x_2)] \cdot [x_1 + (\overline{x_2} \cdot x_2)] \\ &= (\overline{x_1} + 0) \cdot (x_1 + 0) = \overline{x_1} \cdot x_1 = 0 \end{aligned}$$

$$9. y = x_1 \cdot (\overline{x_1 \cdot \overline{x_2}}) = x_1 \cdot (\overline{x_1} + \overline{x_2}) = (x_1 \cdot \overline{x_1}) + (x_1 \cdot \overline{x_2}) = 0 + x_1 \cdot \overline{x_2} = x_1 \cdot \overline{x_2}$$

$$10. y = \overline{x_1 \cdot (\overline{x_2 + x_3})} = \overline{x_1 \cdot (\overline{x_2} \cdot \overline{x_3})} = \overline{x_1 \cdot (x_2 \cdot \overline{x_3})} = \overline{x_1} + \overline{(x_2 \cdot \overline{x_3})} = \overline{x_1} + (\overline{x_2} + x_3)$$

7. Erweiterte Logikfunktionen

7.1. Mögliche Logikfunktionen für 2 Variable

Wie bereits erwähnt, ergeben sich bei n Variablen 2^n unterschiedliche Kombinationsmöglichkeiten. Hat also ein Logiksystem n Eingänge, so ergeben sich für die Eingangsbelegung 2^n Kombinationen. Dem Ausgang kann für jede Eingangskombination ebenfalls der Wert 0 oder 1 zugeordnet werden. Damit ergeben sich bei n Eingangsvariablen $2^n \cdot 2^n$ Möglichkeiten für das Ausgangssignal. Für 2 Variable sind demnach $2^2 \cdot 2^2 = 2^4 = 16$ Funktionen möglich (Tab. 7.1.1.).

x_1	0 1 0 1	Funktion	Bezeichnung
x_2	0 0 1 1		
y_1	0 0 0 0	$y_1 = 0$	Konstanz 0
y_2	0 0 0 1	$y_2 = x_1 \cdot x_2$	Konjunktion (UND)
y_3	0 0 1 0	$y_3 = \bar{x}_1 \cdot x_2$	Inhibition
y_4	0 0 1 1	$y_4 = x_2$	Identität
y_5	0 1 0 0	$y_5 = x_1 \cdot \bar{x}_2$	Inhibition
y_6	0 1 0 1	$y_6 = x_1$	Identität
y_7	0 1 1 0	$y_7 = x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2$	ANTIVALENZ
y_8	0 1 1 1	$y_8 = x_1 + x_2$	Disjunktion (ODER)
y_9	1 0 0 0	$y_9 = \bar{x}_1 \cdot \bar{x}_2$	Disjunktion invertiert (NOR)
y_{10}	1 0 0 1	$y_{10} = x_1 \cdot x_2 + \bar{x}_1 \cdot \bar{x}_2$	ÄQUIVALENZ
y_{11}	1 0 1 0	$y_{11} = \bar{x}_1$	Identität invertiert (NICHT)
y_{12}	1 0 1 1	$y_{12} = \bar{x}_1 + x_2$	Implikation
y_{13}	1 1 0 0	$y_{13} = \bar{x}_2$	Identität invertiert (NICHT)
y_{14}	1 1 0 1	$y_{14} = x_1 + \bar{x}_2$	Implikation
y_{15}	1 1 1 0	$y_{15} = \bar{x}_1 + \bar{x}_2$	Konjunktion invertiert (NAND)
y_{16}	1 1 1 1	$y_{16} = 1$	Konstanz 1

Tab. 7.1.1.
Mögliche Logikfunktionen für 2 Eingangsvariable

Zum besseren Verständnis wird der Aufbau von Tab. 7.1.1. an einigen Beispielen erläutert.

Beispiel

Die Funktion $y_2 = x_1 \cdot x_2$ ist uns in folgender Schreibweise bekannt:

x_2	x_1	y_2
0	0	0
0	1	0
1	0	0
1	1	1

Die Ausgangsvariable y_2 nimmt nur dann den Wert 1 an, wenn x_1 UND x_2 log 1 sind. Es handelt sich also um eine Konjunktion (UND-Funktion).

Beispiel 2

Die Funktion $y_7 = x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2$ lautet als Funktionstabelle:

x_2	x_1	y_7
0	0	0
0	1	1
1	0	1
1	1	0

Die Ausgangsvariable ist immer dann 1, wenn die Eingangsvariablen einen entgegengesetzten Wert aufweisen.

Beispiel 3

Die Funktion $y_{15} = \bar{x}_1 + \bar{x}_2$ lautet als Funktionstabelle:

x_2	x_1	y_{15}
0	0	1
0	1	1
1	0	1
1	1	0

Die Ausgangsvariable ist immer dann 1, wenn mindestens eine Eingangsvariable 0 ist.

Von den 16 Funktionen haben nur einige eine praktische Bedeutung. Vollkommen unbedeutend sind z. B. die Funktionen y_1 und y_{15} , da der Wert der Ausgangsvariablen unabhängig von den Eingangsvariablen ist. Dagegen haben außer den Grundverknüpfungen UND, ODER, NICHT die Funktionen y_3 bzw. $y_5, y_7, y_9, y_{10}, y_{12}, y_{14}$ bzw. y_{15} in der Schaltungstechnik eine mehr oder weniger große Bedeutung. Die wichtigsten dieser Funktionen werden im folgenden näher erläutert.

7.2. NAND-Funktion (Sheffer-Funktion)

Die NAND-Funktion (y_{15} , siehe Tab. 7.1.1.) ist eine negierte (invertierte) UND-Funktion (engl.: **negated and** function). Sie ergibt sich, wenn einem UND-Gatter ein Inverter nachgeschaltet wird (Abb. 7.2.1.).

NAND

Abb. 7.2.1.

NAND-Funktion

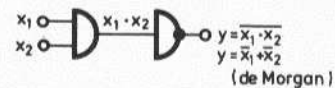
a) Funktionstabelle

b) Realisierung aus Grundgattern

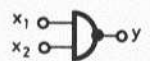
c) Logiksymbol

x_2	x_1	y
0	0	1
0	1	1
1	0	1
1	1	0

a)



b)



c)

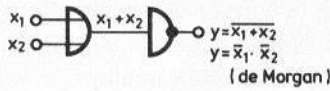
Wie wir später noch sehen werden, ist die NAND-Funktion eine **Universalfunktion**, da alle Logikverknüpfungen mit NAND-Gattern realisierbar sind. Als Gedankenstütze kann man sich merken, daß der Ausgang dieser Funktion immer dann 1 wird, wenn mindestens ein Eingang 0 ist.

7.3. NOR-Funktion (Peirce-Funktion)

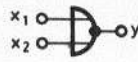
Die NOR-Funktion (y_6 , siehe Tab. 7.1.1.) ist eine ODER-Funktion mit nachfolgender Negation (engl.: **negated or** function). Sie ist ebenfalls eine Universalfunktion (Abb. 7.3.1.).

x_2	x_1	y
0	0	1
0	1	0
1	0	0
1	1	0

a)



b)



c)

Abb. 7.3.1.
NOR-Funktion
a) Funktionstabelle
b) Realisierung aus Grundgattern
c) Logiksymbol

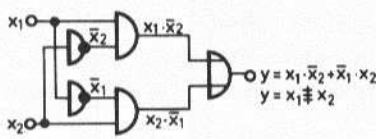
Bei dieser Funktion kann man sich als Gedankenstütze merken, daß ihr Ausgang immer dann 0 wird, wenn mindestens ein Eingang 1 ist.

7.4. ANTIVALENZ-Funktion

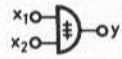
Die ANTIVALENZ-Funktion entspricht y_7 in Tab. 7.1.1. Der Ausgang dieser Funktion ist immer dann 1, wenn die Eingangsvariablen den entgegengesetzten Wert aufweisen (antivalent sind). Diese Funktion wird häufig auch als EXCLUSIV-ODER-Funktion bezeichnet, da nur x_1 ODER x_2 , aber nicht beide gleich 1 sein dürfen, damit am Ausgang log. 1 entsteht (Abb. 7.4.1.).

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	0

a)



b)



c)

Abb. 7.4.1.
ANTIVALENZ-Funktion
a) Funktionstabelle
b) Realisierung aus Grundgattern
c) Logiksymbol

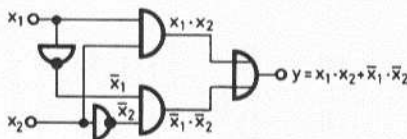
Das Zeichen ∇ ist als vereinfachte Schreibweise für die ANTIVALENZ aufzufassen.

7.5. ÄQUIVALENZ-Funktion

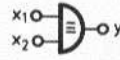
Sie bildet das Gegenstück zur ANTIVALENZ-Funktion. Der Ausgang wird immer dann 1, wenn beide Eingangsvariablen den gleichen Funktionswert haben, also äquivalent sind (Abb. 7.5.1.).

x_2	x_1	y
0	0	1
0	1	0
1	0	0
1	1	1

a)



b)



c)

Abb. 7.5.1.
ÄQUIVALENZ-Funktion
a) Funktionstabelle
b) Realisierung aus Grundgattern
c) Logiksymbol

Die ÄQUIVALENZ kann auch als negierte ANTIVALENZ aufgefaßt werden:

$$y = x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2$$

(ANTIVALENZ)

$$\bar{y} = \overline{x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2}$$

(beide Seiten negiert)

$$\bar{y} = \overline{x_1 \cdot \bar{x}_2} \cdot \overline{\bar{x}_1 \cdot x_2}$$

(de Morgan)

$$\bar{y} = (\bar{x}_1 + x_2) \cdot (x_1 + \bar{x}_2)$$

(de Morgan)

$$\bar{y} = (\bar{x}_1 + x_2) \cdot (x_1 + \bar{x}_2)$$

(mehrfache Negation)

$$\bar{y} = \underbrace{\bar{x}_1 \cdot x_1}_0 + \bar{x}_1 \cdot \bar{x}_2 + x_2 \cdot x_1 + \underbrace{x_2 \cdot \bar{x}_2}_0$$

(Distributivgesetz)

$$\bar{y} = x_1 \cdot x_2 + \bar{x}_1 \cdot \bar{x}_2$$

(ÄQUIVALENZ als negierte ANTIVALENZ)

$$\bar{y} = x_1 \cdot x_2 + \bar{x}_1 \cdot \bar{x}_2$$

Exp. 9

8. Aufstellen logischer Funktionen

In der Digitaltechnik liegt eine Problemstellung meist in verbaler Form vor. Der erste Schritt ist nun, diese Problemstellung in Form einer Funktionstabelle darzustellen. Anhand dieser muß eine logische Funktion gefunden werden, die die Funktionstabelle in allen Punkten erfüllt. Zum Aufstellen der logischen Funktionen gibt es 2 grundsätzliche Methoden:

- disjunktive Normalform
- konjunktive Normalform

8.1. Disjunktive Normalform

Die disjunktive Normalform wird anhand eines Beispiels erläutert (Tab. 8.1.1.).

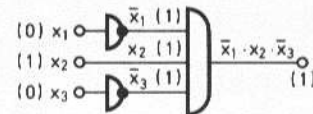
Zeile	x_3	x_2	x_1	y
1	0	0	0	0
2	0	0	1	0
3	0	1	0	1
4	0	1	1	0
5	1	0	0	1
6	1	0	1	0
7	1	1	0	1
8	1	1	1	0

Tab. 8.1.1.
Beispiel einer Funktionstabelle

Aus der Funktionstabelle geht hervor, daß y bei den Eingangskombinationen der Zeilen 3, 5 und 7 log. 1 sein soll. Für alle anderen Eingangskombinationen soll $y = 0$ sein. Die Problemstellung lautet nun, aus den bekannten Grundfunktionen eine Logikschaltung zu entwickeln, die dieser Funktionstabelle entspricht.

Zum Aufstellen der disjunktiven Normalform werden zunächst alle Zeilen herausgesucht, die für $y = 1$ ergeben (Zeilen 3, 5 und 7). Betrachten wir zunächst Zeile 3: Für die Eingangskombination $x_1 = 0$, $x_2 = 1$ und $x_3 = 0$ wird zunächst eine **Konjunktion** (UND-Funktion) gebildet. Die UND-Funktion muß bei der vorliegenden Eingangskombination am Ausgang log. 1 liefern. Da aber eine UND-Funktion nur dann am Ausgang eine 1 liefert, wenn alle Eingänge (x_1 UND x_2 UND x_3) log. 1 sind, müssen die Variablen x_1 und x_3 zunächst invertiert werden. An den 3 Eingängen des UND-Gatters liegt dann jeweils log. 1, so daß auch dessen Ausgang 1 ist (Abb. 8.1.1.).

Abb. 8.1.1.
Logikfunktion, die bei $x_1 = 0$, $x_2 = 1$ und $x_3 = 0$ am Ausgang log. 1 liefert



Aufgrund des binären Charakters der Variablen x muß bei $x = 0$ die Negation $\bar{x} = 1$ sein. Man kann die Schreibweise $y = \bar{x}_1 \cdot x_2 \cdot \bar{x}_3$ so interpretieren, daß y dann 1 ist, wenn $x_1 = 0$ ($\hat{=} \bar{x}_1 = 1$), $x_2 = 1$ und $x_3 = 0$ ($\hat{=} \bar{x}_3 = 1$) ist.

Für Zeile 5 lautet die Gleichung:

UND

$$y = \bar{x}_1 \cdot \bar{x}_2 \cdot x_3$$

Damit also bei dieser Eingangskombination der Ausgang $y = 1$ ist, müssen die Variablen x_1 und x_2 negiert werden.

Für Zeile 7 ergibt sich:

$$y = \bar{x}_1 \cdot x_2 \cdot x_3$$

Die gesuchte Gesamtfunktion ergibt sich aus der Disjunktion (ODER-Verknüpfung) der 3 gefundenen Konjunktionen:

ODER

$$y = \underbrace{\bar{x}_1 \cdot x_2 \cdot \bar{x}_3}_{\text{Zeile 3}} + \underbrace{\bar{x}_1 \cdot \bar{x}_2 \cdot x_3}_{\text{Zeile 5}} + \underbrace{\bar{x}_1 \cdot x_2 \cdot x_3}_{\text{Zeile 7}}$$

Eine logische Schaltung, die dieser Gleichung entspricht, erfüllt die Forderungen der Funktionstabelle (Tab. 8.1.1.). In Abb. 8.1.2. ist die entsprechende Schaltung dargestellt.

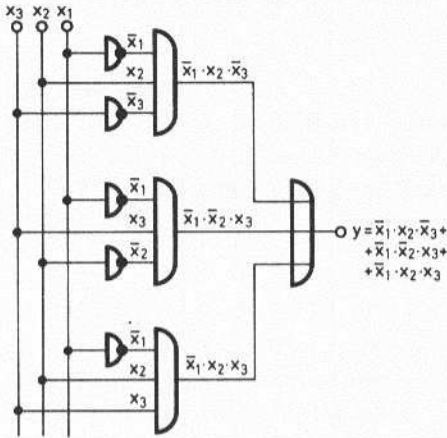


Abb. 8.1.2.
Logikschaltung für Tab. 8.1.1. (disjunktive Normalform)

Diese Schaltung erfüllt zwar in bezug auf ihr logisches Verhalten die gestellten Forderungen, sie enthält aber u. U. noch nicht den minimalen Gatteraufwand. Im folgenden wird mit Hilfe der Schaltalgebra überprüft, ob sich die Schaltung vereinfachen läßt.

$$\begin{aligned}
 y &= \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot x_2 \cdot x_3 \\
 y &= \bar{x}_1 \cdot (x_2 \cdot \bar{x}_3 + \bar{x}_2 \cdot x_3 + x_2 \cdot x_3) && \text{(Distributivgesetz)} \\
 y &= \bar{x}_1 \cdot [x_2 \cdot \bar{x}_3 + x_3 \cdot (\bar{x}_2 + x_2)] && \text{(Distributivgesetz)} \\
 y &= \bar{x}_1 \cdot (x_2 \cdot \bar{x}_3 + x_3) && (x_2 + \bar{x}_2 = 1) \\
 y &= \bar{x}_1 \cdot [(x_3 + x_3) \cdot (x_3 + x_2)] && \text{(Distributivgesetz)} \\
 y &= \bar{x}_1 \cdot (x_3 + x_2) && (x_3 + \bar{x}_3 = 1) \\
 y &= \bar{x}_1 \cdot x_3 + \bar{x}_1 \cdot x_2 && \text{(Distributivgesetz)}
 \end{aligned}$$

Die wesentlich einfachere Gleichung

$$y = \bar{x}_1 \cdot x_3 + \bar{x}_1 \cdot x_2$$

erfüllt ebenfalls die gestellten Forderungen. Die vereinfachte Logikschaltung zeigt Abb. 8.1.3.

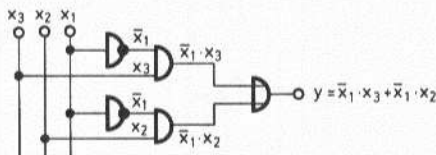


Abb. 8.1.3.
Vereinfachte Logikschaltung

Diese Vereinfachung ist ein Beispiel für die Anwendung der Schaltalgebra. Wie wir noch sehen werden, gibt es formale Vereinfachungsmethoden, die wesentlich weniger Gedankenarbeit erfordern.

Das Bilden der disjunktiven Normalform bei 4 Eingangsvariablen wird an einem weiteren Beispiel erklärt (Tab. 8.1.2.).

Bei diesem Beispiel müssen die Konjunktionen der Zeilen 2, 4, 6, 8, 9 und 11 gebildet werden.

$$\begin{aligned}
 y &= x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \cdot \bar{x}_4 + x_1 \cdot x_2 \cdot \bar{x}_3 \cdot \bar{x}_4 + x_1 \cdot \bar{x}_2 \cdot x_3 \cdot \bar{x}_4 + \\
 &+ x_1 \cdot x_2 \cdot x_3 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \cdot x_4 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 \cdot x_4
 \end{aligned}$$

Es ergeben sich 6 Konjunktionen (die 1 ist bei y 6mal vorhanden), die disjunktiv miteinander zu verknüpfen sind. Eine Vereinfachung dieser Funktionsgleichung mit Hilfe der Schaltalgebra erfordert schon einen guten Überblick. Wir wollen daher auf eine Kürzung verzichten und geben in Abb. 8.1.4. die vollständige Logikschaltung für diese Gleichung an. Später werden wir dann eine Vereinfachung durchführen.

Zusammenfassend noch einmal die erforderlichen Schritte zur Bildung der disjunktiven Normalform:

– Von allen Zeilen der Funktionstabelle, die $y = 1$ aufweisen, ist die Konjunktion (UND-

Zeile	x_4	x_3	x_2	x_1	y
1	0	0	0	0	0
2	0	0	0	1	1
3	0	0	1	0	0
4	0	0	1	1	1
5	0	1	0	0	0
6	0	1	0	1	1
7	0	1	1	0	0
8	0	1	1	1	1
9	1	0	0	0	1
10	1	0	0	1	0
11	1	0	1	0	1
12	1	0	1	1	0
13	1	1	0	0	0
14	1	1	0	1	0
15	1	1	1	0	0
16	1	1	1	1	0

Tab. 8.1.2.
Funktionstabelle zur Bildung der disjunktiven Normalform

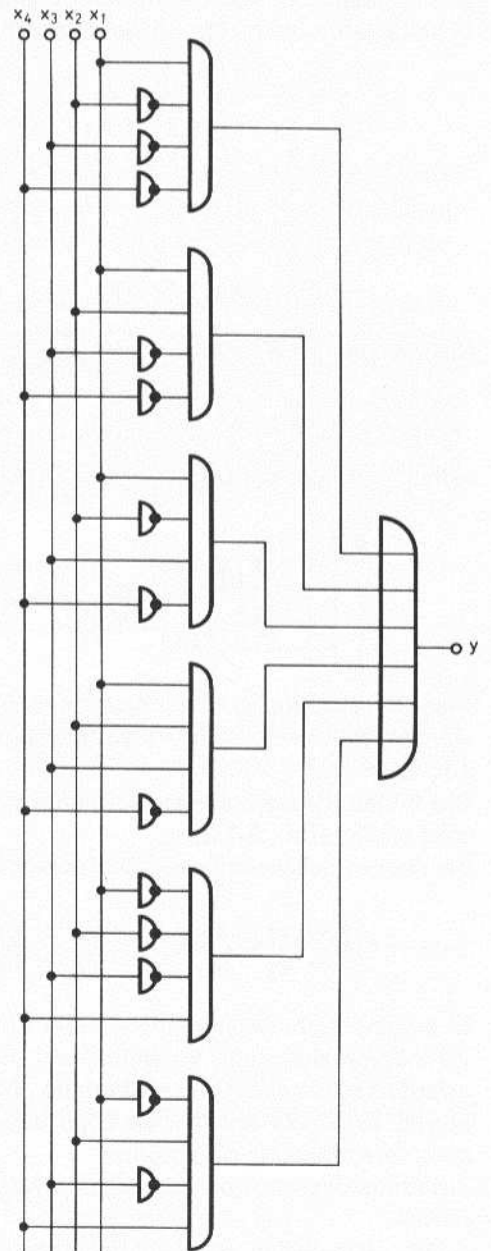


Abb. 8.1.4.
Logikschaltung für Tab. 8.1.2. (disjunktive Normalform)

Funktion) zu bilden. Dabei müssen alle Variablen einer Zeile erfaßt werden. Variable mit dem Zustand 1 werden direkt, Variable mit dem Zustand 0 invertiert übernommen.

– Alle Konjunktionen werden anschließend disjunktiv miteinander verknüpft.

Anmerkung:

Bei der Bildung der disjunktiven Normalform müssen pro Zeile mit $y = 1$ alle Variablen konjunktiv verknüpft werden. Diese Verknüpfung darf nur für diese Zeile $y = 1$ liefern, für alle anderen $y = 0$. Eine Konjunktion, bei der alle Variablen erfaßt werden, wird auch als **Vollkonjunktion** bezeichnet.

Exp. 10

8.2. Konjunktive Normalform

Die konjunktive Normalform bildet das Gegenstück zur disjunktiven Normalform. Während bei dieser alle Zeilen einer Funktionstabelle mit $y = 1$ erfaßt werden, werden bei der konjunktiven Normalform alle Zeilen mit $y = 0$ erfaßt. Von jeder dieser Zeilen wird dann die Disjunktion aller Variablen gebildet. Die sich ergebenden Disjunktionen werden konjunktiv miteinander verknüpft. Der Ablauf soll an einem Beispiel erläutert werden (Tab. 8.2.1.).

konjunktive Normalform

Zeile	x_3	x_2	x_1	y
1	0	0	0	1
2	0	0	1	0
3	0	1	0	1
4	0	1	1	1
5	1	0	0	0
6	1	0	1	1
7	1	1	0	0
8	1	1	1	1

Tab. 8.2.1.
Funktionstabelle zur Bildung der konjunktiven Normalform

Eine 0 für y erscheint in den Zeilen 2, 5 und 7. Da eine ODER-Verknüpfung (Disjunktion) aber nur dann am Ausgang eine 0 liefert, wenn alle Eingangsvariablen 0 sind, müssen bei dieser Normalform die Variablen mit 1 invertiert übernommen werden. Dies bedeutet z. B. für die Zeile 2, daß die Variable x_1 invertiert (\bar{x}_1) sowie die Variable x_2 und x_3 nicht invertiert auf die Eingänge eines ODER-Gatters gegeben werden müssen (Abb. 8.2.1.).

ODER

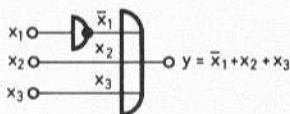


Abb. 8.2.1.
Disjunktive Verknüpfung der Zeile 2 zur Bildung der konjunktiven Normalform

Sie können anhand der Funktionstabelle leicht überprüfen, daß diese Verknüpfung nur bei der Eingangskombination entsprechend Zeile 2 $y = 0$ liefert. Bei allen anderen Kombinationen ist $y = 1$. Für die konjunktive Normalform ergibt sich damit für unser Beispiel folgende Funktionsbildung:

$$y = (\bar{x}_1 + x_2 + x_3) \cdot (x_1 + x_2 + \bar{x}_3) \cdot (x_1 + \bar{x}_2 + \bar{x}_3)$$

UND

Die entsprechende Logikschaltung zeigt Abb. 8.2.2.

Selbstverständlich ist es auch möglich, das logische Verhalten nach Tab. 8.2.1. mit Hilfe der disjunktiven Normalform zu realisieren. Da aber 5 Zeilen mit $y = 1$ vorliegen, sind in diesem Fall 5 Vollkonjunktionen erforderlich, also ein größerer Aufwand.

Allgemein gilt:

- Die disjunktive Normalform ist dann zu wählen, wenn $y = 1$ nicht so oft vorhanden ist wie $y = 0$.
- Die konjunktive Normalform ist dann zu wählen, wenn $y = 0$ nicht so oft vorhanden ist wie $y = 1$.

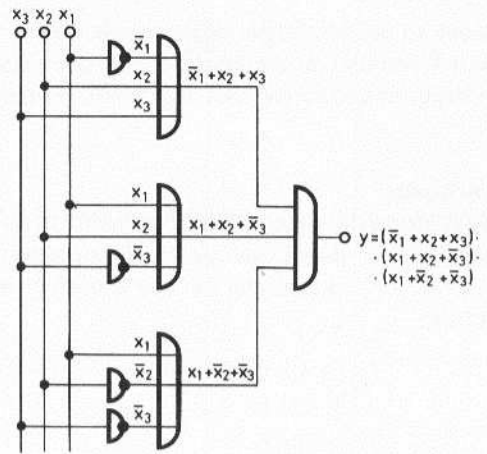


Abb. 8.2.2.
Logikschaltung für Tab. 8.2.1. (konjunktive Normalform)

Zusammenfassend noch einmal die erforderlichen Schritte zur Bildung der konjunktiven Normalform:

- Von allen Zeilen der Funktionstabelle, die $y = 0$ aufweisen, ist die Disjunktion (ODER-Funktion) zu bilden. Es müssen **alle** Variablen einer Zeile erfaßt werden (Volldisjunktion). Variable mit dem Zustand 1 werden invertiert, Variable mit dem Zustand 0 direkt übernommen.
- Alle Disjunktionen werden anschließend konjunktiv miteinander verknüpft.

Fragen zu den Abschnitten 7. und 8.

1. Wann führt bei der NOR-Funktion der Ausgang y log. 0?

2. Wann führt bei der ÄQUIVALENZ-Funktion der Ausgang y log. 1?

3. Für die folgende Funktionstabelle sind die Gleichungen für die Ausgangsgröße y in disjunktiver und konjunktiver Normalform aufzustellen und die vereinfachten Logikschaltungen zu zeichnen.

Funktionstabelle:

x_3	x_2	x_1	y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

4. Für die folgende Funktionstabelle ist die Gleichung für die Ausgangsgröße y in disjunktiver Normalform aufzustellen.

Funktionstabelle:

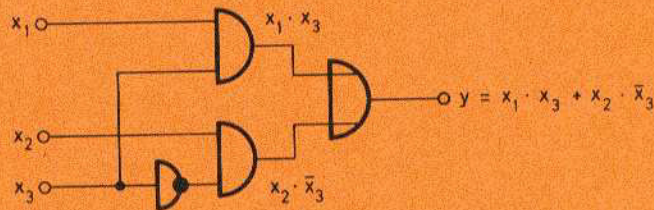
x_3	x_2	x_1	y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Antworten zu den Fragen für die Abschnitte 7. und 8.

1. Bei der NOR-Funktion führt der Ausgang y log. 0, wenn mindestens ein Eingang log. 1 ist.
2. Bei der ÄQUIVALENZ-Funktion führt der Ausgang y log. 1, wenn beide Eingangsvariablen den gleichen Funktionswert haben.

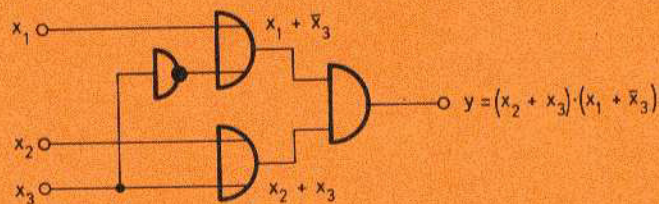
3. Disjunktive Normalform:

$$\begin{aligned}
 y &= \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3 \\
 y &= x_2 \cdot (\bar{x}_1 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_3 + x_1 \cdot x_3) + x_1 \cdot \bar{x}_2 \cdot x_3 \\
 y &= x_2 \cdot [\bar{x}_3 \cdot (\bar{x}_1 + x_1) + x_1 \cdot x_3] + x_1 \cdot \bar{x}_2 \cdot x_3 \\
 y &= x_2 \cdot (\bar{x}_3 + x_1 \cdot x_3) + x_1 \cdot \bar{x}_2 \cdot x_3 \\
 y &= x_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot x_3 + x_1 \cdot \bar{x}_2 \cdot x_3 \\
 y &= x_1 \cdot (x_2 \cdot x_3 + \bar{x}_2 \cdot x_3) + x_2 \cdot \bar{x}_3 \\
 y &= x_1 \cdot [x_3 \cdot (x_2 + \bar{x}_2)] + x_2 \cdot \bar{x}_3 \\
 y &= x_1 \cdot x_3 + x_2 \cdot \bar{x}_3
 \end{aligned}$$



Konjunktive Normalform:

$$\begin{aligned}
 y &= (x_1 + x_2 + x_3) \cdot (\bar{x}_1 + x_2 + x_3) \cdot (x_1 + x_2 + \bar{x}_3) \cdot (x_1 + \bar{x}_2 + \bar{x}_3) \\
 y &= [x_2 + (x_1 + x_3) \cdot (\bar{x}_1 + x_3)] \cdot (x_1 + \bar{x}_2 + \bar{x}_3) \\
 y &= [x_2 + (x_3 + x_1 \cdot \bar{x}_1) \cdot (x_1 + \bar{x}_3)] \cdot (x_1 + \bar{x}_2 + \bar{x}_3) \\
 y &= (x_2 + x_3) \cdot (x_1 + x_2 + \bar{x}_3) \cdot (x_1 + \bar{x}_2 + \bar{x}_3) \\
 y &= (x_2 + x_3) \cdot [x_1 + \bar{x}_3 + (x_2 \cdot \bar{x}_2)] \\
 y &= (x_2 + x_3) \cdot (x_1 + \bar{x}_3)
 \end{aligned}$$



4.

$$\begin{aligned}
 y &= x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3 \\
 y &= x_1 \cdot (\bar{x}_2 \cdot \bar{x}_3 + x_2 \cdot \bar{x}_3 + \bar{x}_2 \cdot x_3 + x_2 \cdot x_3) \\
 y &= x_1 \cdot [\bar{x}_3 \cdot (\bar{x}_2 + x_2) + x_3 \cdot (\bar{x}_2 + x_2)] \\
 y &= x_1 \cdot (\bar{x}_3 + x_3) \\
 y &= x_1
 \end{aligned}$$

Die Ausgangsvariable y folgt allein der Eingangsvariablen x_1 .

9. Karnaugh-Veitch-Tafeln

Beim Entwurf von Logikschaltungen ist man bemüht, mit einer minimalen Anzahl von Gatterbausteinen bzw. Eingängen auszukommen. Die Minimierung logischer Verknüpfungen mit Hilfe der Schaltalgebra erfordert bereits ab 2 Variablen eine gewisse Routine des Entwicklers. Aus diesem Grunde helfen hier systematische Methoden weiter, die mögliche Minimierungen auf den ersten Blick erkennen lassen. Eine dieser systematischen Methoden ist die Anwendung von sog. Karnaugh-Veitch-Tafeln, kurz KV-Tafeln. Prinzipiell ist die KV-Tafel eine andere Darstellungsform einer Funktionstabelle.

Während bei einer Funktionstabelle für n Eingangsvariable die möglichen 2^n Eingangskombinationen in Zeilen untereinander geschrieben werden, wird bei KV-Tafeln jede Zeile einem Feld der KV-Tafel zugeordnet. Daraus ergibt sich, daß eine KV-Tafel für n Variable 2^n Felder aufweisen muß. Am Beispiel für 2 Variable x_1 und x_2 wird diese Darstellungsart näher erläutert (Abb. 9.1.).

KV-Tafeln

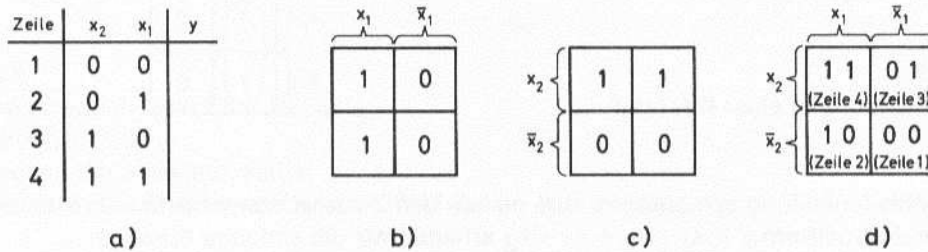


Abb. 9.1.

Aufbau einer KV-Tafel für 2 Variable

- Funktionstabelle
- Zustände der Variablen x_1
- Zustände der Variablen x_2
- Kombination von b und c

Bei 2 Eingangsvariablen nimmt jede Variable 2mal den Zustand 1 und 2mal den Zustand 0 ein. Diese 4 möglichen Zustände sind in den Tafeln b und c jeweils getrennt für x_1 und x_2 eingetragen. Die beiden Felder der linken Spalte (Abb. 9.1.b) sind am oberen Rand mit x_1 , die Felder der rechten Spalte mit \bar{x}_1 bezeichnet. Bekanntlich entspricht der Zustand $x = 0$ dem Zustand $\bar{x} = 1$. In Abb. 9.1.c sind die beiden Felder der oberen Zeile der Variablen x_2 , die Felder der unteren Zeile \bar{x}_2 zugeordnet. Abb. 9.1.d ist die Kombination aus den Tafeln b und c. Wenn Sie die Zeilen der Funktionstabelle mit den Feldern dieser Tafel vergleichen, so finden Sie alle Kombinationen von x_1 und x_2 in einer bestimmten Anordnung wieder. Immer in der Reihenfolge x_1, x_2 gelesen, entspricht das obere linke Feld der Zeile 4, das rechte Feld der Zeile 3 usw. Ein wesentliches Merkmal dieser Darstellungsart ist, daß sich benachbarte Felder nur durch den Zustand **einer** Variablen unterscheiden. Nehmen wir als Beispiel das Feld der Zeile 3: Für diese Zeile gilt die Kombination $x_1 = 0$ und $x_2 = 1$. Das Feld der Zeile 4 enthält die Kombination $x_1 = x_2 = 1$. Diese beiden Felder unterscheiden sich also nur durch den Zustand der Variablen x_1 . Die Felder der Zeilen 3 und 1 unterscheiden sich dagegen nur durch den Zustand von x_2 . Wie wir später sehen werden, ermöglicht diese Anordnung der Kombinationen die eigentliche Minimierung des Gatteraufwandes.

Bisher wurde nur gezeigt, welche Felder der KV-Tafel welchen Zeilen der Funktionstabelle zugeordnet sind. Der Sinn einer Funktionstabelle ist es aber zu zeigen, welchen Zustand die Ausgangsvariable y bei einer bestimmten Eingangskombination einnimmt. Zur Darstellung einer Funktionstabelle in einer KV-Tafel werden daher in die jeweiligen Felder die Zustände der Ausgangsvariablen y eingetragen (Abb. 9.2.).

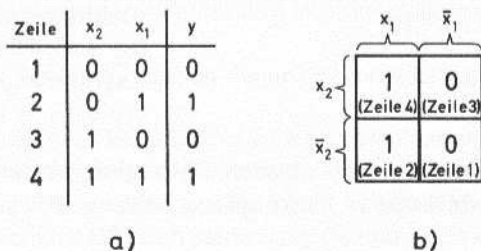


Abb. 9.2.

Darstellungsformen einer logischen Funktion

- Funktionstabelle
- KV-Tafel

Schleifenbildung

Beide Darstellungsformen in Abb. 9.2. legen das gleiche logische Verhalten eindeutig fest. Aus der KV-Tafel kann z. B. entnommen werden, daß bei $x_1 = x_2 = 1$ (Zeile 4 der Funktionstabelle) die Ausgangsvariable 1 sein muß. Dagegen muß bei der Eingangskombination $x_1 = 0$ und $x_2 = 1$ (Zeile 3) die Ausgangsvariable 0 sein usw.

Sicherlich taucht jetzt die Frage auf, welchen Vorteil die Darstellungsform einer KV-Tafel gegenüber einer Funktionstabelle hat.

Für die Zeilen 2 und 4 erscheint in der KV-Tafel jeweils der Ausgangszustand 1. Obwohl sich der Eingangszustand der Variablen x_2 ändert, darf sich der Zustand für y **nicht** ändern. Dies bedeutet aber für das angeführte Beispiel, daß der Ausgangszustand nur von der Variablen x_1 festgelegt wird. Bei $x_1 = 1$ ist $y = 1$, bei $x_1 = 0$ ist auch $y = 0$. Entsprechend Abb. 9.3. können somit die beiden 1-Felder durch eine Schleife zusammengefaßt werden.

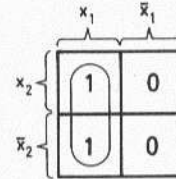


Abb. 9.3.
Schleifenbildung in einer KV-Tafel

Diese Schleifenbildung symbolisiert, daß nur x_1 den Zustand von y bestimmt. Statt der disjunktiven Normalform $y = x_1 \cdot \bar{x}_2 + x_1 \cdot x_2$ erhalten wir die einfache Aussage:

$$y = x_1$$

Bei diesem einfachen Beispiel hätte man auch sofort mit Hilfe der Schaltalgebra die vereinfachte Form finden können:

$$\begin{aligned} y &= x_1 \cdot \bar{x}_2 + x_1 \cdot x_2 \\ y &= x_1 \cdot (\bar{x}_2 + x_2) \\ y &= x_1 \end{aligned}$$

Aus diesem rechnerischen Vorgang ist deutlich das Vereinfachungsprinzip der KV-Tafel zu erkennen. Nach den Regeln der Schaltalgebra ist $x + \bar{x} = 1$. Wenn y bei x_2 und \bar{x}_2 gleich 1 ist (Abb. 9.3.), kann nur noch x_1 einen Einfluß auf y haben.

Ein weiteres Beispiel zeigt Abb. 9.4.

KV-Tafel für 2 Variable

Abb. 9.4.
Weiteres Beispiel einer KV-Tafel für 2 Variable
a) Funktionstabelle
b) KV-Tafel

Zeile	x_2	x_1	y
1	0	0	0
2	0	1	1
3	1	0	1
4	1	1	1

Aus der Funktionstabelle erkennen wir die ODER-Funktion $y = x_1 + x_2$. Die disjunktive Normalform lautet für dieses Beispiel:

$$y = x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2 + x_1 \cdot x_2$$

Daraus wird nach den Vereinfachungsregeln:

$$\begin{aligned} y &= x_1 \cdot (\bar{x}_2 + x_2) + \bar{x}_1 \cdot x_2 && \text{(Distributivgesetz)} \\ y &= x_1 + \bar{x}_1 \cdot x_2 && (x_2 + \bar{x}_2 = 1) \\ y &= (x_1 + \bar{x}_1) \cdot (x_1 + x_2) && \text{(Distributivgesetz)} \\ y &= x_1 + x_2 && (x_1 + \bar{x}_1 = 1) \end{aligned}$$

Dieses Ergebnis läßt sich auch unmittelbar aus der KV-Tafel ablesen. Die senkrechte Schleife bedeutet $y = x_1$, die waagerechte $y = x_2$. Die disjunktive Verknüpfung liefert das Ergebnis:

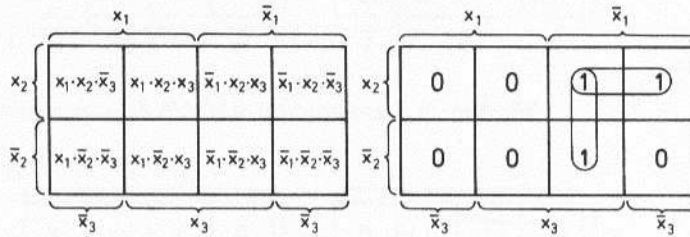
$$y = x_1 + x_2$$

Einleuchtender wird der Sinn von KV-Tafeln bei 3 Variablen (x_1, x_2 und x_3). Dabei ergeben sich 8 Kombinationen, d. h. die KV-Tafeln müssen 8 Felder aufweisen (Abb. 9.5.).

KV-Tafel für 3 Variable

Zeile	x_3	x_2	x_1	y
1	0	0	0	0
2	0	0	1	0
3	0	1	0	1
4	0	1	1	0
5	1	0	0	1
6	1	0	1	0
7	1	1	0	1
8	1	1	1	0

a)



b)

c)

Abb. 9.5.

Beispiel einer KV-Tafel für 3 Variable

- a) Funktionstabelle
- b) Belegung der einzelnen Felder
- c) Darstellung der Funktionstabelle als KV-Tafel

Jede Variable ist in diesem Falle 4mal 1 (x) und 4mal 0 (\bar{x}). Auch hierbei gilt, daß sich benachbarte Felder immer nur um den Zustand einer Variablen unterscheiden. In Abb. 9.5.c sind wieder 2 Schleifen gebildet. Betrachten wir zunächst die waagerechte Schleife. In beiden Feldern gilt $\bar{x}_1 \cdot x_2$. Dagegen gilt im linken Feld x_3 und im rechten Feld \bar{x}_3 . Da in beiden Feldern $y = 1$ sein muß, hat der Zustand der Variablen x_3 hier keinen Einfluß. Das bedeutet für diese Schleife:

$$y = \bar{x}_1 \cdot x_2$$

In der senkrechten Schleife gilt für beide Felder $\bar{x}_1 \cdot x_3$. Dagegen ist einmal x_2 und einmal \bar{x}_2 . Damit fällt für diese Schleife die Variable x_2 heraus. Es gilt:

$$y = \bar{x}_1 \cdot x_3$$

Die disjunktive Verknüpfung der beiden Schleifen liefert das Ergebnis:

$$y = \bar{x}_1 \cdot x_2 + \bar{x}_1 \cdot x_3$$

Wir erhalten somit dasselbe Ergebnis wie im Abschnitt 8.1. für das Beispiel nach Tab. 8.1.1.

Die Minimierung mit KV-Tafeln ist eine rein formale Methode, bei der folgende Regeln zu beachten sind:

- Schleifen dürfen nur in 1-Feldern gebildet werden, d. h. es dürfen auf keinen Fall 0- und 1-Felder in Schleifen zusammengefaßt werden.
- Schleifen dürfen nur in 1-Feldern gebildet werden, die sich jeweils um den Zustand einer Variablen unterscheiden (benachbarte Felder). Wie wir bei späteren Beispielen noch sehen werden, gelten auch äußere Felder, z. B. linkes oberes Feld ($x_1 \cdot x_2 \cdot \bar{x}_3$) und rechtes oberes Feld ($\bar{x}_1 \cdot x_2 \cdot \bar{x}_3$) als benachbart, da diese beiden sich nur in der Variablen x_1 unterscheiden.
- Es dürfen nur Schleifen gebildet werden, die 2, 4, 8, 16 usw. Felder umfassen.
- Die Schleifen können sich in einem Feld beliebig oft schneiden.
- Die optimale Vereinfachung ergibt sich dann, wenn möglichst wenige große Schleifen gebildet werden.
- Alle Schleifen werden disjunktiv miteinander verknüpft.

Zum besseren Verständnis wird an verschiedenen Beispielen die Anwendung von KV-Tafeln für 3 Variable gezeigt (Abb. 9.6.).

Aus den Beispielen b, c und f geht hervor, daß auch die äußeren Felder als benachbart gelten. Im Beispiel e läßt sich keine Schleife bilden, da keine benachbarten Felder mit 1 vorhanden sind.

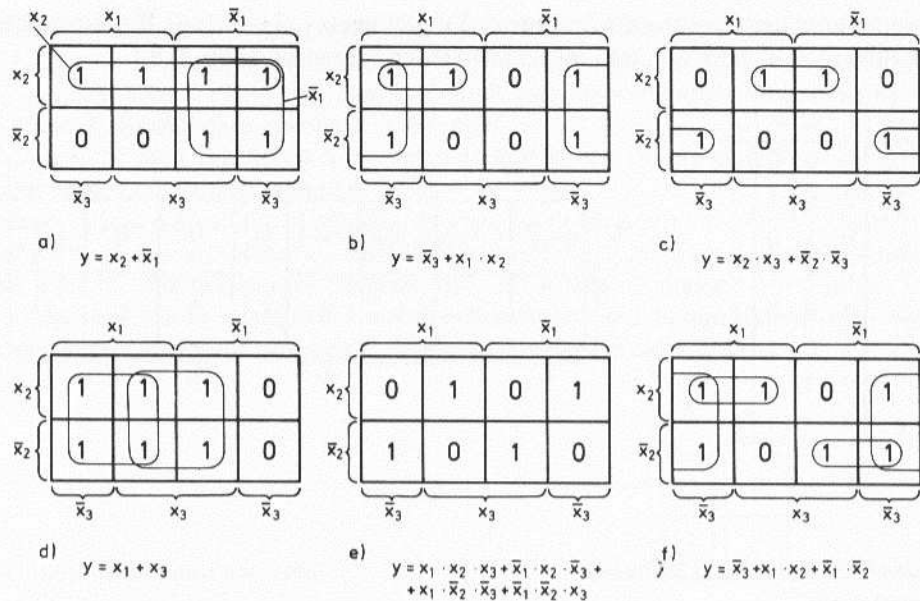


Abb. 9.6.
Beispiele von KV-Tafeln für 3 Variable

Außerdem zeigen die Beispiele deutlich, daß der Grad der Vereinfachung von der Größe der Schleifenbildung abhängt. Jede Schleife entspricht einer ODER-Verknüpfung. Im folgenden wird die Anwendung von KV-Tafeln für 4 Eingangsvariable gezeigt (Abb. 9.7.). Wir wählen dafür zunächst als Beispiel die Funktionstabelle Tab. 8.1.2.

KV-Tafel für 4 Variable

Zeile	x_4	x_3	x_2	x_1	y
1	0	0	0	0	0
2	0	0	0	1	1
3	0	0	1	0	0
4	0	0	1	1	1
5	0	1	0	0	0
6	0	1	0	1	1
7	0	1	1	0	0
8	0	1	1	1	1
9	1	0	0	0	1
10	1	0	0	1	0
11	1	0	1	0	1
12	1	0	1	1	0
13	1	1	0	0	0
14	1	1	0	1	0
15	1	1	1	0	0
16	1	1	1	1	0

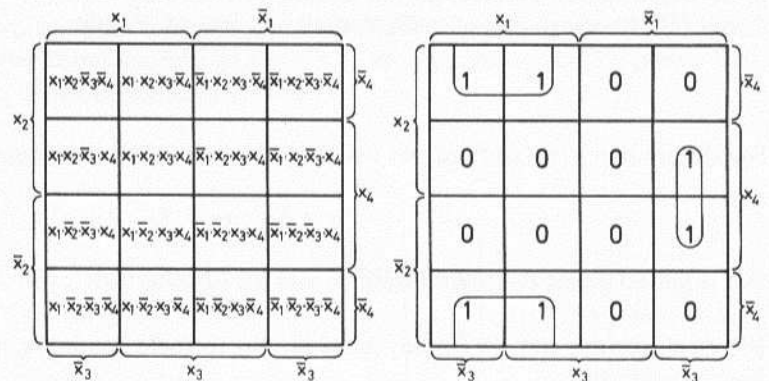


Abb. 9.7.
Beispiel einer KV-Tafel für 4 Variable
a) Funktionstabelle
b) Belegung der einzelnen Felder
c) Darstellung der Funktionstabelle als KV-Tafel

Bei 4 Variablen gibt es 16 Kombinationsmöglichkeiten. Aus diesem Grunde muß die KV-Tafel 16 Felder aufweisen. Jedes Feld entspricht einer Zeile der Funktionstabelle; benachbarte Felder unterscheiden sich nur um den Zustand einer Variablen.

Betrachten wir zunächst die Vierschleife: Die beiden oberen sowie die beiden unteren 1-Felder unterscheiden sich jeweils durch die Variable x_3 , die damit herausfällt. Abgesehen von x_3 unterscheiden sich die beiden oberen zu den beiden unteren Feldern durch die Variable x_2 . Auch diese Variable fällt damit heraus. Für die Vierschleife gilt also:

$$y_1 = x_1 \cdot \bar{x}_4$$

Bei der Zweierschleife liegt der Unterschied nur in der Variablen x_2 . Damit gilt:

$$y_2 = \bar{x}_1 \cdot \bar{x}_3 \cdot x_4$$

Die vereinfachte Lösung ist:

$$y = x_1 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_3 \cdot x_4$$

In Abb. 9.8. ist der Logikplan für diese Lösung dargestellt.

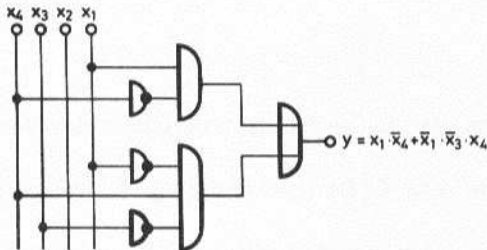


Abb. 9.8.
Logikplan für die Funktionstabelle in Abb. 9.7.

Obwohl diese Schaltung die gleiche logische Funktion wie die in Abb. 8.1.4. erfüllt, bringt sie eine beträchtliche Einsparung an Gattern.

Anhand einiger Beispiele wird das Arbeiten mit KV-Tabellen für 4 Variable gezeigt (Abb. 9.9.).

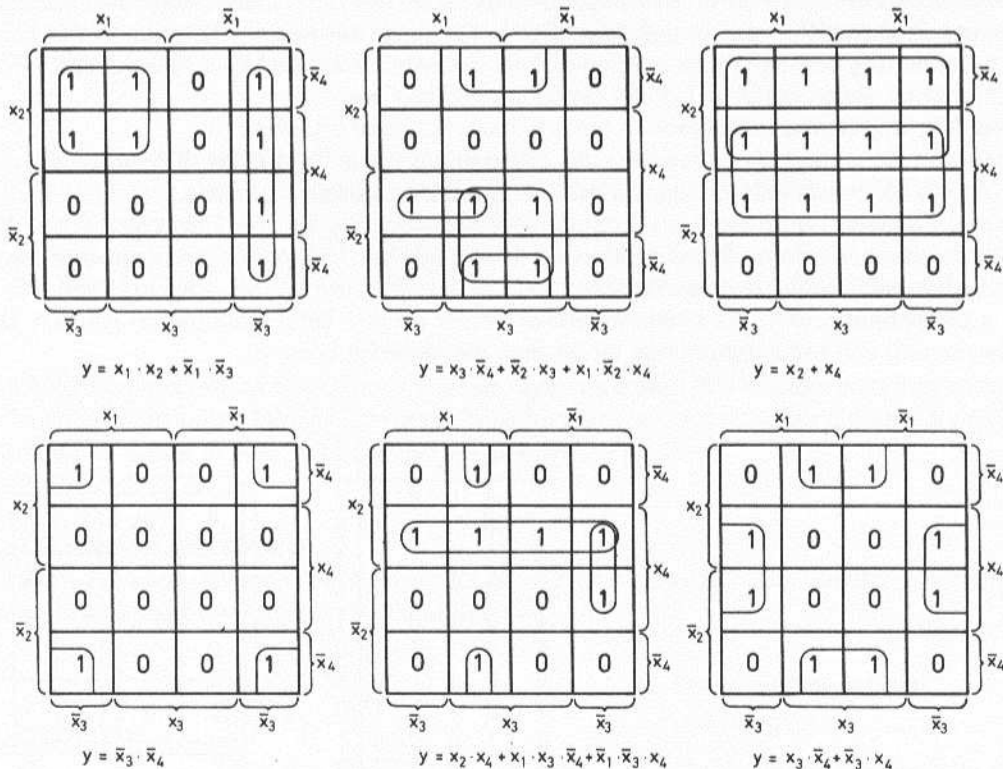


Abb. 9.9.
Beispiele von KV-Tabellen für 4 Variable

Die hier gezeigten Beispiele beziehen sich alle auf die disjunktive Normalform. Dieselben Überlegungen lassen sich auch für die konjunktive Normalform anstellen. Hierbei müssen die ent-

**KV-Tafeln für
konjunktive
Normalform**

sprechenden Gruppen von Nullen disjunktiv zusammengefaßt und konjunktiv miteinander verknüpft werden. Diese Art der Zusammenfassung wird in den folgenden 3 Beispielen gezeigt (Abb. 9.10.).

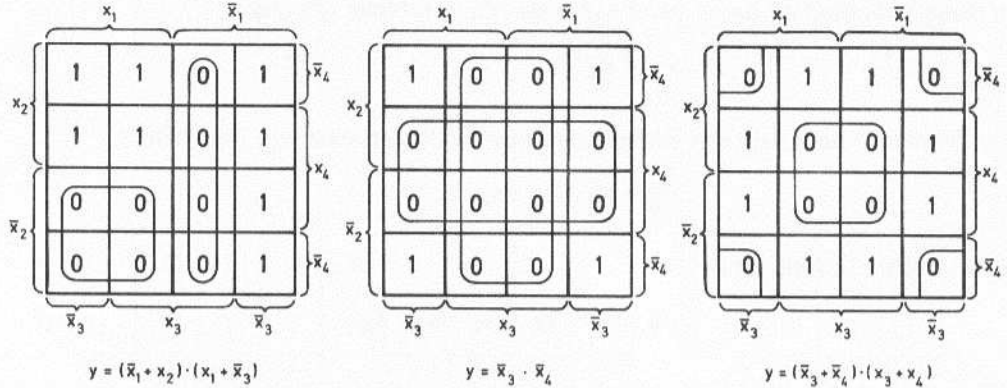


Abb. 9.10.
KV-Tafeln für die konjunktive Normalform

Allgemein ist zu den KV-Tafeln noch zu sagen, daß bei mehr als 4 Variablen das Verfahren schnell unübersichtlich wird.

Zum Abschluß des Abschnittes über KV-Tafeln wird die Berücksichtigung von frei wählbaren Ausdrücken gezeigt.

In der Praxis findet man häufig Schaltungen, bei denen bestimmte Kombinationen der Eingangsvariablen überhaupt nicht auftreten, z.B. bei Schaltungen für redundante Codes (den Begriff der Redundanz haben Sie im Abschnitt 3. kennengelernt). Wenn nun einerseits einige Eingangskombinationen niemals vorkommen werden, so ist es andererseits auch völlig gleichgültig, wie sich eine solche Schaltung in diesen irrealen Fällen verhalten würde. Die Ausgangsvariable wird in derartigen Fällen allgemein mit x gekennzeichnet und in das jeweilige Feld der KV-Tafel eingetragen. Der Vorteil liegt darin, daß die redundanten bits bei der Minimierung herangezogen werden dürfen. Bekanntlich ist die Minimierung mit KV-Tafeln dann optimal, wenn möglichst große Schleifen gebildet werden.

Dieses Verfahren wird im folgenden anhand einer Aufgabe erläutert:

Es ist eine Schaltung zu entwerfen, die aus den Dezimalziffern 0 bis 9 jede gerade Ziffer anzeigt; dabei werden die Dezimalziffern im reinen Binärcode dargestellt.

Lösung: Zunächst wird die Funktionstabelle aufgestellt. Da für die Dezimalziffern 0 bis 9 10 Kombinationen erforderlich sind, muß ein 4-bit-Code mit 16 Möglichkeiten gewählt werden. Es ergeben sich somit 6 Redundanzen (von der Dezimalzahl 10 bis einschließlich 15), die mit x bezeichnet und in die entsprechenden Felder der KV-Tafel eingetragen werden. Unter Einbeziehung von redundanten bits erhält man die einfache Lösung:

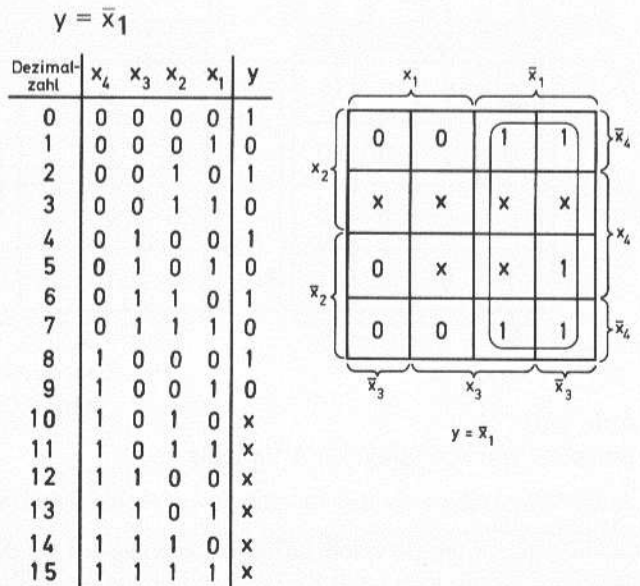


Abb. 9.11.
Funktionstabelle und KV-Tafel für eine Schaltung mit redundanten bits

Exp. 11

10. Universalfunktionen NAND und NOR

Im Abschnitt 7. wurde bereits angedeutet, daß es sich bei diesen Funktionen um Universalfunktionen handelt. Dies bedeutet, daß alle logischen Probleme mit nur NAND- bzw. nur NOR-Gattern gelöst werden können. Das hat den entscheidenden Vorteil, daß beim Entwurf nur **eine** Gatterart verwendet werden muß.

10.1. NAND als Universalfunktion

Zunächst wird gezeigt, wie die 3 Grundfunktionen NICHT, UND und ODER mit NAND-Gattern realisiert werden können.

NICHT-Funktion aus NAND

Die NICHT-Funktion läßt sich sehr einfach mit einem NAND-Gatter verwirklichen. Ausgehend von einem NAND-Gatter mit 2 Eingängen gibt es 2 Möglichkeiten, die in Abb. 10.1.1. dargestellt sind.

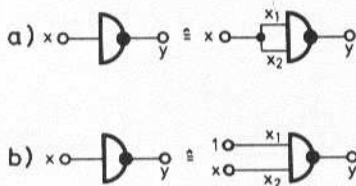


Abb. 10.1.1.
Realisierung der NICHT-Funktion aus NAND
a) durch Verbinden der Eingänge
b) durch An-1-legen des nicht benutzten Einganges

NICHT aus NAND

Bekanntlich ist der Ausgang eines NAND-Gatters 1, wenn mindestens ein Eingang 0 ist. Im Beispiel a sind entsprechend dem Zustand x beide Eingänge 0 ($\hat{=} y = 1$) oder beide Eingänge 1 ($\hat{=} y = 0$). Damit zeigt diese Anordnung das Verhalten einer NICHT-Funktion.

Im Beispiel b liegt ein Eingang fest an 1-Potential. Bei $x = 0$ ist $y = 1$, bei $x = 1$ ist $y = 0$. Auch diese Schaltung weist das Verhalten einer NICHT-Funktion auf. Welche der beiden Möglichkeiten gewählt wird, ist zunächst prinzipiell gleichgültig. Wie wir später sehen werden, spielen jedoch u. U. Gründe des fan-in eine Rolle.

UND-Funktion aus NAND

Relativ einfach läßt sich auch die UND-Funktion aus NAND-Gattern realisieren (Abb. 10.1.2.).

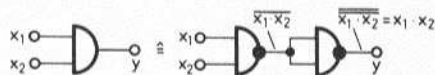


Abb. 10.1.2.
UND-Funktion aus NAND

UND aus NAND

Eine NAND-Funktion ergibt sich dann, wenn der Ausgang eines UND-Gatters invertiert wird. Da eine 2malige Invertierung wieder zum ursprünglichen Ergebnis führt, erfüllt die Anordnung der beiden NAND-Gatter in Abb. 10.1.2. (rechts) eine UND-Funktion.

ODER-Funktion aus NAND

Eine ODER-Funktion läßt sich ebenfalls mit NAND-Gattern realisieren. Die Gleichung wird unter Anwendung der de Morganschen Sätze abgeleitet:

$$y = x_1 + x_2$$

$$\bar{y} = \overline{x_1 + x_2} \quad (\text{beide Seiten negiert})$$

$$\bar{y} = \bar{x}_1 \cdot \bar{x}_2 \quad (\text{de Morgan})$$

$$\bar{\bar{y}} = y = \overline{\bar{x}_1 \cdot \bar{x}_2} \quad (\text{beide Seiten nochmals negiert})$$

Damit ergibt sich eine Schaltung entsprechend Abb. 10.1.3.

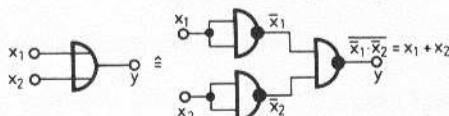


Abb. 10.1.3.
ODER-Funktion aus NAND

ODER aus NAND

Wenn, wie bereits angedeutet, alle möglichen logischen Funktionen mit den 3 Grundfunktionen realisiert werden können, so muß (nach dem vorher Gezeigten) dies auch mit NAND-Gattern möglich sein. Dies wird an einigen Beispielen erläutert.

ANTIVALENZ-FUNKTION aus NAND

Die Gleichung für diese Funktion lautet:

$$y = x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2$$

Durch Anwendung der de Morganschen Sätze kann diese wie folgt umgeformt werden:

$$y = x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2$$

$$\bar{y} = \overline{x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2} \quad (\text{beide Seiten negiert})$$

$$\bar{y} = \overline{x_1 \cdot \bar{x}_2} \cdot \overline{\bar{x}_1 \cdot x_2} \quad (\text{de Morgan})$$

$$\bar{y} = y = \overline{\overline{x_1 \cdot \bar{x}_2} \cdot \overline{\bar{x}_1 \cdot x_2}} \quad (\text{beide Seiten nochmals negiert})$$

Damit läßt sich auch diese Funktion mit NAND-Gattern aufbauen (Abb. 10.1.4.).

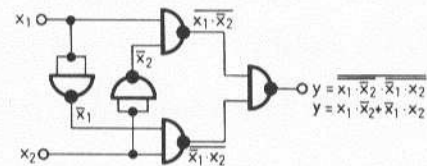


Abb. 10.1.4.
ANTIVALENZ-Funktion aus NAND

ANTIVALENZ aus NAND

ÄQUIVALENZ-Funktion aus NAND

Auch hier wird die Lösung durch Anwenden der de Morganschen Sätze auf die Grundgleichung erreicht:

$$y = x_1 \cdot x_2 + \bar{x}_1 \cdot \bar{x}_2$$

$$\bar{y} = \overline{x_1 \cdot x_2 + \bar{x}_1 \cdot \bar{x}_2} \quad (\text{beide Seiten negiert})$$

$$\bar{y} = \overline{x_1 \cdot x_2} \cdot \overline{\bar{x}_1 \cdot \bar{x}_2} \quad (\text{de Morgan})$$

$$\bar{y} = y = \overline{\overline{x_1 \cdot x_2} \cdot \overline{\bar{x}_1 \cdot \bar{x}_2}} \quad (\text{beide Seiten nochmals negiert})$$

Die ausgeführte Logikschaltung zeigt Abb. 10.1.5.

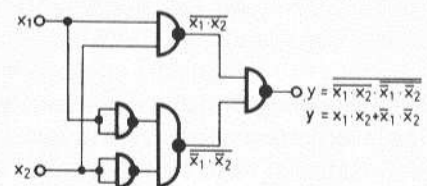


Abb. 10.1.5.
ÄQUIVALENZ-Funktion aus NAND

ÄQUIVALENZ aus NAND

Realisierung des Logikplanes nach Abb. 9.8. mit NAND

Die mit Hilfe einer KV-Tafel gefundene Funktionsgleichung für diese Schaltung lautet:

$$y = x_1 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_3 \cdot x_4$$

Diese Gleichung wird nach dem bekannten Verfahren auf NAND-Funktionen umgestellt:

$$y = x_1 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_3 \cdot x_4$$

$$\bar{y} = \overline{x_1 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_3 \cdot x_4} \quad (\text{beide Seiten negiert})$$

$$\bar{y} = \overline{x_1 \cdot \bar{x}_4} \cdot \overline{\bar{x}_1 \cdot \bar{x}_3 \cdot x_4} \quad (\text{de Morgan})$$

$$\bar{y} = y = \overline{\overline{x_1 \cdot \bar{x}_4} \cdot \overline{\bar{x}_1 \cdot \bar{x}_3 \cdot x_4}} \quad (\text{beide Seiten nochmals negiert})$$

Es ergibt sich eine logische Schaltung entsprechend Abb. 10.1.6.

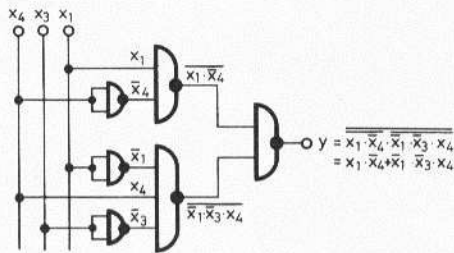


Abb. 10.1.6.
Realisierung der Funktion
 $y = x_1 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_3 \cdot x_4$ aus NAND

Weiteres Beispiel für den universellen Einsatz von NAND-Gattern

Als Ausgangsgleichung in UND-, ODER-, NICHT-Form wird

$$y = (x_1 + \bar{x}_2 + x_3) \cdot (\bar{x}_2 + x_4)$$

angenommen.

Wie wir anschließend sehen, ist die Umformung dieser Gleichung etwas langwieriger, führt jedoch ebenfalls zu einer Lösung mit NAND-Gattern.

$$\begin{aligned}
 y &= (x_1 + \bar{x}_2 + x_3) \cdot (\bar{x}_2 + x_4) \\
 \bar{y} &= \overline{(x_1 + \bar{x}_2 + x_3) \cdot (\bar{x}_2 + x_4)} && \text{(beide Seiten negiert)} \\
 \bar{y} &= \overline{(x_1 + \bar{x}_2 + x_3)} + \overline{(\bar{x}_2 + x_4)} && \text{(de Morgan)} \\
 \bar{y} &= (\bar{x}_1 \cdot x_2 \cdot \bar{x}_3) + (x_2 \cdot \bar{x}_4) && \text{(de Morgan)} \\
 \bar{y} &= y = \overline{(\bar{x}_1 \cdot x_2 \cdot \bar{x}_3) + (x_2 \cdot \bar{x}_4)} && \text{(beide Seiten negiert)} \\
 y &= \overline{(\bar{x}_1 \cdot x_2 \cdot \bar{x}_3)} \cdot \overline{(x_2 \cdot \bar{x}_4)} && \text{(de Morgan)} \\
 \bar{y} &= \overline{(\bar{x}_1 \cdot x_2 \cdot \bar{x}_3)} \cdot \overline{(x_2 \cdot \bar{x}_4)} && \text{(beide Seiten negiert)} \\
 \bar{y} &= y = \overline{\overline{(\bar{x}_1 \cdot x_2 \cdot \bar{x}_3)} \cdot \overline{(x_2 \cdot \bar{x}_4)}} && \text{(beide Seiten negiert)}
 \end{aligned}$$

Bei der Umstellung ist immer darauf zu achten, daß Teilfunktionen oder Terme gebildet werden, die im Prinzip NAND-Funktionen darstellen. An dieser Stelle sei außerdem noch erwähnt, daß die Operationen UND, ODER und NICHT unterschiedliche Bindungsstärken aufweisen. Ähnlich wie in der normalen Algebra Punktrechnung vor Strichrechnung rangiert, gilt für die Schaltalgebra die Reihenfolge NICHT, UND, ODER. Die UND-Funktion hat also eine größere Bindungsstärke als die ODER-Funktion. Aus diesem Grunde muß, um Verwechslungen zu vermeiden, auch in der Schaltalgebra mit Klammern gearbeitet werden.

**Punktrechnung
vor Strichrechnung**

Exp. 12

10.2. NOR als Universalfunktion

Die NOR-Funktion ist bekanntlich eine ODER-Funktion mit negiertem Ausgang. Auch hier wird zunächst gezeigt, wie die 3 Grundfunktionen mit NOR-Gattern realisiert werden können.

NICHT-Funktion aus NOR

Der Ausgang eines NOR-Gatters ist nur dann 1, wenn beide Eingänge 0 sind. Weist ein Eingang 1 auf, ist der Ausgang 0. In Abb. 10.2.1. sind die beiden Realisierungsmöglichkeiten dargestellt.

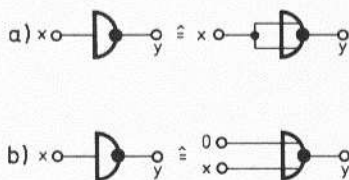


Abb. 10.2.1.
Realisierung der NICHT-Funktion aus NOR
a) durch Verbinden der Eingänge
b) durch An-0-legen des nicht benutzten Einganges

NICHT aus NOR

Es ist leicht zu überprüfen, daß beide Konfigurationen einer NICHT-Funktion entsprechen.

UND-Funktion aus NOR

Die UND-Funktion lässt sich unter Anwendung der de Morganschen Sätze aus NOR-Gattern realisieren.

$$y = x_1 \cdot x_2$$

$$\bar{y} = \overline{x_1 \cdot x_2}$$

$$\bar{y} = \bar{x}_1 + \bar{x}_2$$

$$\bar{\bar{y}} = y = \overline{\bar{x}_1 + \bar{x}_2}$$

(beide Seiten negiert)

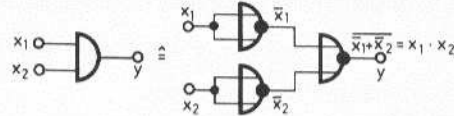
(de Morgan)

(beide Seiten negiert)

Die logische Schaltung dieses Problems zeigt Abb. 10.2.2.

UND aus NOR

Abb. 10.2.2.
UND-Funktion aus NOR

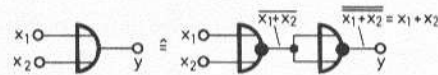


ODER-Funktion aus NOR

Da die NOR-Funktion einer invertierten ODER-Funktion entspricht, ergibt sich durch Invertieren des NOR-Ausganges wieder eine ODER-Funktion (Abb. 10.2.3.).

ODER aus NOR

Abb. 10.2.3.
ODER-Funktion aus NOR



Realisierung des Logikplanes nach Abb. 9.8. mit NOR

Als letztes Beispiel für den universellen Einsatz von NOR-Gattern wird noch die Realisierung o.g. Logikplanes gezeigt.

$$y = x_1 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_3 \cdot x_4$$

$$\bar{y} = \overline{x_1 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_3 \cdot x_4}$$

$$\bar{y} = \overline{x_1 \cdot \bar{x}_4} \cdot \overline{\bar{x}_1 \cdot \bar{x}_3 \cdot x_4}$$

$$\bar{y} = (\bar{x}_1 + x_4) \cdot (x_1 + x_3 + \bar{x}_4)$$

$$\bar{\bar{y}} = y = \overline{(\bar{x}_1 + x_4) \cdot (x_1 + x_3 + \bar{x}_4)}$$

$$y = \overline{(\bar{x}_1 + x_4)} + \overline{(x_1 + x_3 + \bar{x}_4)}$$

$$\bar{y} = \overline{(\bar{x}_1 + x_4)} + \overline{(x_1 + x_3 + \bar{x}_4)}$$

$$\bar{\bar{y}} = y = \overline{\overline{(\bar{x}_1 + x_4)} + \overline{(x_1 + x_3 + \bar{x}_4)}}$$

(beide Seiten negiert)

(de Morgan)

(de Morgan)

(beide Seiten negiert)

(de Morgan)

(beide Seiten negiert)

(beide Seiten negiert)

Den Logikplan für die vorhergehende Umwandlung zeigt Abb. 10.2.4.

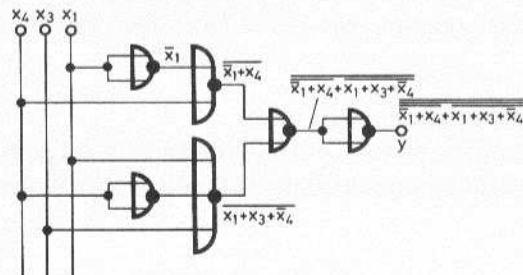


Abb. 10.2.4.
Realisierung der Funktion
 $y = x_1 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_3 \cdot x_4$ aus NOR

Exp. 13

Fragen zu den Abschnitten 9. und 10.

1. Für die angegebenen Funktionstabellen sind für die Ausgangsvariablen y mit Hilfe von KV-Tafeln die Funktionsgleichungen aufzustellen.

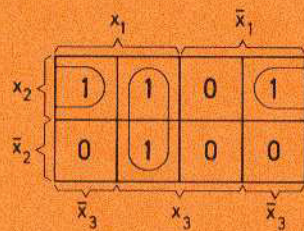
a)	x_3	x_2	x_1	y	b)	x_3	x_2	x_1	y	c)	x_4	x_3	x_2	x_1	y
	0	0	0	0		0	0	0	0		0	0	0	0	0
	0	0	1	0		0	0	1	1		0	0	0	1	0
	0	1	0	1		0	1	0	0		0	0	1	0	1
	0	1	1	1		0	1	1	1		0	0	1	1	0
	1	0	0	0		1	0	0	1		0	1	0	0	1
	1	0	1	1		1	0	1	0		0	1	0	1	1
	1	1	0	0		1	1	0	1		0	1	1	0	0
	1	1	1	1		1	1	1	1		0	1	1	1	1
											1	0	0	0	1
											1	0	0	1	1
											1	0	1	0	1
											1	0	1	1	0
											1	1	0	0	1
											1	1	0	1	1
											1	1	1	0	0
											1	1	1	1	1

2. Die Gleichung $y = x_1 \cdot x_3 + x_2 \cdot \bar{x}_3$ ist so umzuformen, daß die entsprechende Schaltung a) mit NAND-Gattern und b) mit NOR-Gattern aufgebaut werden kann.

3. Welche Reihenfolge der Funktionen ist in der Schaltalgebra, z.B. beim Umstellen von Gleichungen, einzuhalten?

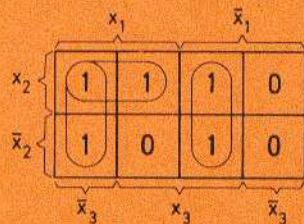
Antworten zu den Fragen für die Abschnitte 9. und 10.

1. a)



$$y = x_1 \cdot x_3 + x_2 \cdot \bar{x}_3$$

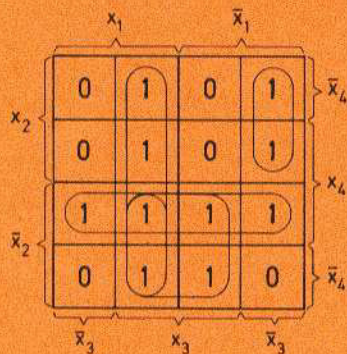
b)



$$y = x_1 \cdot x_2 + x_1 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_3$$

$$y = x_1 \cdot (x_2 + \bar{x}_3) + \bar{x}_1 \cdot x_3$$

c)



$$y = x_1 \cdot x_3 + \bar{x}_2 \cdot x_4 + x_3 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3$$

2. a)

$$y = x_1 \cdot x_3 + x_2 \cdot \bar{x}_3$$

$$\bar{y} = \overline{x_1 \cdot x_3 + x_2 \cdot \bar{x}_3}$$

$$\bar{y} = \overline{x_1 \cdot x_3} \cdot \overline{x_2 \cdot \bar{x}_3}$$

$$y = \overline{\overline{x_1 \cdot x_3} \cdot \overline{x_2 \cdot \bar{x}_3}}$$

b)

$$y = x_1 \cdot x_3 + x_2 \cdot \bar{x}_3$$

$$\bar{y} = \overline{x_1 \cdot x_3 + x_2 \cdot \bar{x}_3}$$

$$\bar{y} = (\bar{x}_1 + \bar{x}_3) \cdot (\bar{x}_2 + x_3)$$

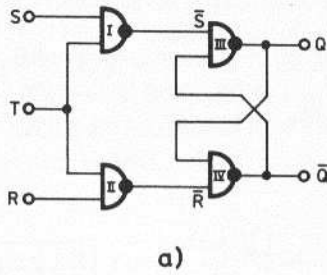
$$y = \overline{(\bar{x}_1 + \bar{x}_3) \cdot (\bar{x}_2 + x_3)}$$

$$y = \overline{(\bar{x}_1 + \bar{x}_3)} + \overline{(\bar{x}_2 + x_3)}$$

$$y = \overline{\overline{(\bar{x}_1 + \bar{x}_3)}} + \overline{\overline{(\bar{x}_2 + x_3)}}$$

3. Die Reihenfolge in der Schaltalgebra ist:

- NICHT-Funktion
- UND-Funktion
- ODER-Funktion

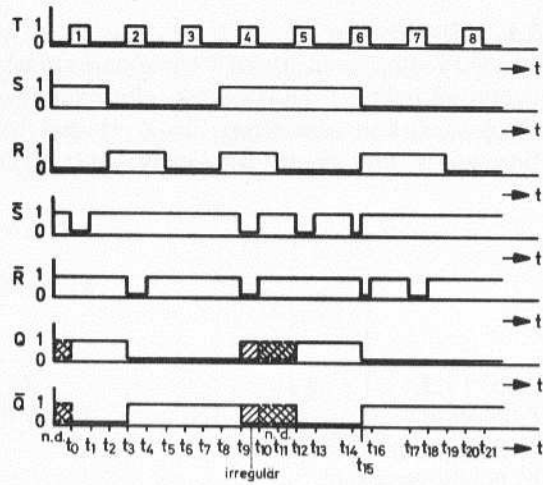


a)

t_n		t_{n+1}	
R	S	Q	\bar{Q}
0	0	vorheriger Zustand	
0	1	1	0
1	0	0	1
1	1	n.d.	

t_n = Zeitraum vor und während des Taktimpulses T
 t_{n+1} = Zeitraum nach dem Taktimpuls T
 n.d. = nicht definiert

b)



c)

Abb. 11.1.1.
 Getaktetes RS-FF
 a) Schaltung
 b) Funktionstabelle
 c) Impulsdiagramm

Die Wirkungsweise dieses FFs wird anhand des Impulsdiagrammes erläutert. Vom Anlegen der Betriebsspannung bis zum Zeitpunkt t_0 kann über den Ausgangszustand des FFs keine eindeutige Aussage gemacht werden (n.d.). Solange der Takt $T = 0$ ist, ist $\bar{S} = \bar{R} = 1$. Dies bedeutet, daß sich das RS-FF je nach Toleranzen auf einen der beiden Zustände einstellt. Definierte Verhältnisse entstehen nach dem Zeitpunkt t_0 , da jetzt $T = 1$ wird. Durch $S = 1$ wird für die Dauer von $T = 1$ (t_0 bis t_1) der Eingang $\bar{S} = 0$ (beide Eingänge des NAND-Gatters I sind 1). Damit muß der Ausgang $Q = 1$ werden. Durch $R = 0$ bleibt während des Zeitraumes t_0 bis t_1 ein Eingang des NAND-Gatters II 0 und somit $\bar{R} = 1$. Beide Eingänge des Gatters IV sind 1, so daß $\bar{Q} = 0$ ist. Zum Zeitpunkt t_1 wird $T = 0$. Das hat zur Folge, daß wieder $\bar{S} = \bar{R} = 1$ entsteht. Das bedeutet aber für ein RS-FF, daß der eingenommene Zustand beibehalten wird (Speicherverhalten). Auch eine Änderung der Eingangssignale zum Zeitpunkt t_2 kann den Ausgangszustand nicht beeinflussen, da durch $T = 0$ die Ausgänge der Gatter I und II auf 1 gehalten werden. Der Wechsel der Eingangszustände wirkt sich auf den Ausgangszustand erst beim Eintreffen des 2. Taktimpulses (Zeitpunkt t_3) aus.

Unkritisch ist bei diesem FF der Zustand $S = R = 0$ (Zeitraum t_5 bis t_8). Da jetzt unabhängig vom Zustand des Takteinganges $\bar{S} = \bar{R} = 1$ bleibt, wird der vorherige Zustand beibehalten. Nicht zulässig dagegen ist der Zustand $S = R = 1$ (Zeitraum t_8 bis t_{11}). Für die Zeitdauer des 4. Taktimpulses wird jetzt $\bar{S} = \bar{R} = 0$. Beide Ausgänge des FFs müssen daher 1 werden. Wird zum Zeitpunkt t_{10} der Takt wieder 0, kippt das FF in einen nicht definierten Zustand. Erst mit dem 5. Taktimpuls nimmt das FF entsprechend den Eingangszuständen wieder eine vorherbestimmbare Lage ein. Während der Dauer des 6. Taktimpulses erfolgt im Impulsdiagramm ein Wechsel der Eingangsinformation. Dieser Wechsel wird auch sofort an den Ausgängen wirksam, da bei $T = 1$ die beiden Gatter I und II nur eine Inverterfunktion ausüben.

Nach diesen Erläuterungen ist die Darstellung der Wirkungsweise des FFs in einer Funktionstabelle leicht zu erkennen (Abb. 11.1.1.b). Da die Eingangszustände nur dann Einfluß auf den Ausgangszustand nehmen können, wenn ein Taktimpuls kommt, sind bei dieser Tabelle die Zeiten zu berücksichtigen. Mit t_n wird der Zeitraum vor und während des Taktimpulses, mit t_{n+1} der Zeitraum nach einem Taktimpuls bezeichnet. Mit n.d. wird der nicht definierte Zustand bezeichnet, der nach $S = R = 1$ auftritt. Ein irregulärer Zustand ($Q = \bar{Q} = 1$) tritt nur während eines Taktimpulses auf.

Die beiden Eingänge R und S werden bei diesem FF auch als **Vorbereitungseingänge** bezeichnet. Diese Bezeichnung ist sinnvoll, da der logische Eingangszustand erst beim Taktimpuls vom eigentlichen FF übernommen wird. Die Signale an R und S bereiten also den logischen Zustand des FFs vor.

11.2. D-Flipflop

Das D-Flipflop (engl.: delay = Verzögerung) ist eine direkte Erweiterung des getakteten RS-FFs. Während beim RS-FF immer 2 Informationsleitungen erforderlich sind, kann bei einem D-FF die Information **nur einer** Zuleitung verarbeitet werden. D-FFs haben also nur einen Vorbereitungs- und einen Takteingang (Abb. 11.2.1.).

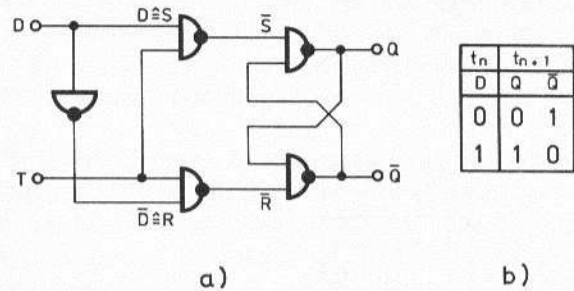
D-FF

Abb. 11.2.1.

D-Flipflop

a) Schaltung

b) Funktionstabelle



Wie aus Abb. 11.2.1. zu entnehmen ist, hat das D-FF gegenüber dem getakteten RS-FF lediglich einen zusätzlichen Inverter. Liegt an D eine 0, so erhalten die beiden internen Vorbereitungseingänge nach dem Eintreffen eines Taktimpulses $\bar{S} = 1$ und $\bar{R} = 0$. Das bewirkt die Ausgangszustände $Q = 0$ und $\bar{Q} = 1$. Bei $D = 1$ entstehen die entgegengesetzten Verhältnisse. Da in einem digitalen System normalerweise nur die Werte 0 und 1 auftreten können, ist von vornherein sichergestellt, daß dieses FF nur definierte Zustände einnehmen kann.

Mit Hilfe der Schaltalgebra läßt sich die Schaltung nach Abb. 11.2.1. noch vereinfachen. Für die Punkte \bar{S} und \bar{R} gilt:

$$\bar{S} = \overline{T \cdot D}$$

$$\bar{R} = \overline{T \cdot \bar{D}}$$

Durch Erweitern des Ausdruckes für \bar{R} erhalten wir:

$$\bar{R} = \overline{T \cdot \bar{D}} = \overline{T \cdot \bar{D} + 0} = \overline{T \cdot \bar{D}} + T \cdot \bar{T}$$

Mit Hilfe des Distributivgesetzes wird hieraus:

$$\bar{R} = \overline{T \cdot (\bar{D} + \bar{T})} = \overline{T \cdot (\bar{D} \cdot \bar{T})} = \overline{T \cdot \bar{S}}$$

Durch Mehrfachausnutzung von \bar{S} ergibt sich eine vereinfachte Schaltung entsprechend Abb. 11.2.2.

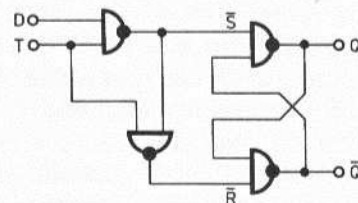


Abb. 11.2.2.

Vereinfachte Schaltung des D-FFs

Wie beim getakteten RS-FF reichen auch hierbei 4 NAND-Gatter zur technischen Realisierung.

Das getaktete RS-FF und das D-FF werden in der Fachliteratur häufig als **Auffang-FFs** klassifiziert. Diese Bezeichnung stammt aus dem Einsatz dieser FFs in Elektronenrechnern und umfangreicheren digitalen Systemen. Gerade in diesen Anlagen müssen häufig Informationen von parallelen Kanälen gleichzeitig verarbeitet werden. Aufgrund von Laufzeitunterschieden treffen die Impulse aber zu unterschiedlichen Zeitpunkten ein. Mit Hilfe von synchronisierenden Taktsignalen und anschließender Speicherung der Signale können diese Laufzeitunterschiede aufgefangen werden.

In Datenbüchern wird der Takteingang meistens mit C oder CP bezeichnet (engl.: clock = Takt).

11.3. Taktflankengesteuertes RS-Flipflop

Bei den bisher besprochenen getakteten FFs konnte während der 1-Dauer des Taktimpulses eine Eingangsinformation direkt auf den Ausgangszustand der Schaltung wirksam werden. Bei diesem RS-FF (Abb. 11.3.1.) dagegen erfolgt die Informationsübernahme nur während der positiven Taktflanke (0→1-Flanke). Eine anschließende Änderung der Eingangsinformation kann erst wieder bei der nächsten 0→1-Flanke berücksichtigt werden.

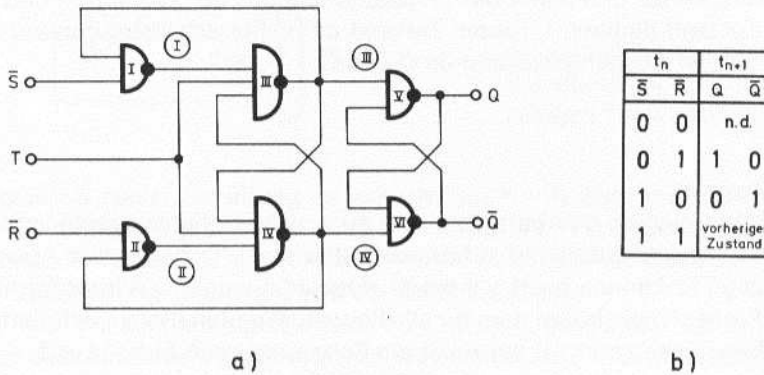


Abb. 11.3.1.
Taktflankengesteuertes RS-Flipflop
a) Schaltung
b) Funktionstabelle

Die Arbeitsweise dieses FFs lässt sich am einfachsten anhand eines Impulsdigrammes erläutern (Abb. 11.3.2.).

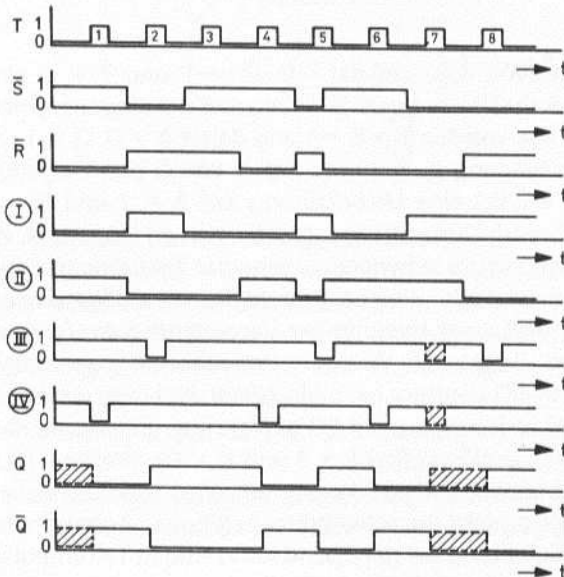


Abb. 11.3.2.
Impulsdigramm für das FF nach
Abb. 11.3.1.

Ausgehend von $\bar{S} = 1$ und $\bar{R} = 0$ wird mit der 0→1-Flanke des 1. Taktimpulses $Q = 0$ und $\bar{Q} = 1$. Bis zum 5. Taktimpuls verhält sich dieses FF bei den gewählten Eingangssignalen an \bar{R} und \bar{S} wie das getaktete RS-FF. Während der 0→1-Flanke des 5. Taktimpulses bewirkt die Information $S = 0$ und $\bar{R} = 1$ am Ausgang $Q = 1$ und $\bar{Q} = 0$. Noch während der Takt 1 ist, ändert sich die Eingangsinformation ($\bar{S} = 1$; $\bar{R} = 0$). Dieser Informationswechsel würde sich bei einem getakteten RS-FF sofort auf den Ausgangszustand auswirken. Bei diesem FF dagegen wird diese Eingangssignaländerung erst mit der 0→1-Flanke des 6. Taktimpulses auf den Ausgangszustand wirksam.

Ein nicht definierter Ausgangszustand entsteht bei diesem FF, wenn $\bar{S} = \bar{R} = 0$ ist. In diesem Fall sind die Ausgänge der Gatter I und II log. 1. Solange noch $T = 0$ ist, müssen auch die Ausgänge III und IV 1 sein. Wird nun auch $T = 1$, sind zunächst alle Eingänge der Gatter III und IV log. 1. Dies bedeutet, daß die Ausgänge III und IV den Zustand 0 einnehmen. Durch die Rückkopplung würde der Zustand 0 aber wieder den Ausgangszustand 1 herbeiführen

wollen usw. Es entsteht also ein instabiler Zustand, der zu einem Schwingen der Anordnung führen könnte. In der Praxis sind jedoch nie beide Gatter in ihren Daten absolut gleich. Durch Toleranzen entstehen Signallaufzeitunterschiede, die dazu führen, daß ein 0→1-Sprung des Taktes den 1→0-Sprung an einem Gatterausgang etwas frühzeitiger auslöst als am anderen. Dies hat durch die kreuzweise Rückkopplung zur Folge, daß das andere Gatter eine gegenläufige Ansteuerung erhält und somit das FF (bestehend aus den Gattern III und IV) **irgend-einen** stabilen Zustand einnimmt. Dieser Zustand ist nicht vorherbestimmbar und führt zu einem nicht definierten Ausgangszustand an Q und \bar{Q} .

JK-FF

11.4. JK-Flipflop

Wie bereits erwähnt, weisen das getaktete und auch das taktflankengesteuerte RS-FF noch einen undefinierten Ausgangszustand auf. Diese Tatsache ist für bestimmte Anwendungsfälle störend, d.h., diese FFs können nicht universell eingesetzt werden. Wir wollen im folgenden versuchen, ein FF zu entwickeln, bei dem für alle Eingangskombinationen definierte Ausgangszustände entstehen. Betrachten wir zunächst die Schaltung nach Abb. 11.4.1.

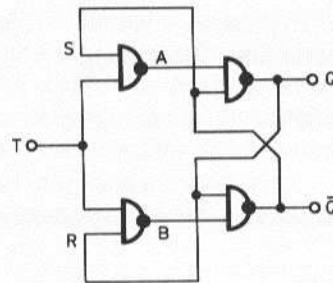


Abb. 11.4.1.
Getaktetes RS-FF mit Kreuzkopplung
von Ein- und Ausgängen

Gehen wir bei der Betrachtung zunächst davon aus, daß $Q = 0$, $\bar{Q} = 1$ und $T = 0$ sind. Durch $T = 0$ sind auf jeden Fall die Eingänge A und B des Basis-FFs 1, so daß der eingenommene Zustand stabil ist. Trifft nun ein Taktimpuls ein, werden $T = S = 1$ und damit $A = 0$, $Q = 1$ und $\bar{Q} = 0$. Log. 0 von \bar{Q} gelangt sofort an den Eingang S, während log. 1 von Q den Eingang R erreicht. Noch während des Taktimpulses erfolgt eine Umschaltung auf $A = 1$ und $B = 0$, wodurch das Basis-FF erneut umgeschaltet wird. Dieser Vorgang setzt sich so lange fort, wie $T = 1$ ist. Dies bedeutet, daß die Schaltung anfängt zu schwingen, wenn der Takt entsprechend lange den Zustand 1 einnimmt. Jedes Gatter weist aber eine bestimmte Signalverzögerung auf. Dies bedeutet, daß ein Sprung am Eingang mit einer bestimmten Verzögerung am Ausgang erscheint. Wie später näher erläutert wird, liegen die Verzögerungszeiten je nach Logikfamilie im ns-Bereich (bei den gebräuchlichen TTL-Gattern ca. 5 bis 30 ns). Nehmen wir einmal an, die Verzögerung eines Gatters würde 10 ns betragen. Mit 20 ns Verzögerung würde dann eine 0→1-Flanke an T eine 0→1-Flanke an Q auslösen (bei $S = 1$ und $R = 0$). Weitere 10 ns vergehen, bis dieser Sprung an Q einen Zustandswechsel an B hervorruft. Wäre in der Zwischenzeit $T = 0$ geworden, könnte die Anordnung nicht zu schwingen beginnen. Anhand eines Impulsdigrammes wird das Verhalten der Schaltung bei genügend kurzzeitigen Taktimpulsen erläutert (Abb. 11.4.2.)

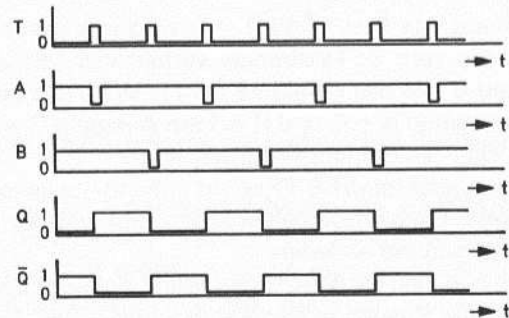


Abb. 11.4.2.
Verhalten der Schaltung nach
Abb. 11.4.1. bei genügend kurzzeitiger
Taktimpulsdauer

Bei der getroffenen Voraussetzung wechselt das FF mit jedem Taktimpuls seinen Ausgangszustand. Wenn eine Taktperiode z.B. 1 s beträgt (von 0→1-Flanke zu 0→1-Flanke der Takt-

impulse gemessen), so dauert eine Signalperiode an Q genau 2 s. Auf die Frequenz bezogen bedeutet dies, daß eine Teilung oder Untersetzung mit dem Faktor 2 stattgefunden hat. Aus diesem Grunde wird eine Schaltung mit diesem Verhalten als **Binäruntersetzter** bezeichnet.

Um sicherzustellen, daß der wirksame Taktimpuls eine bestimmte Länge nicht überschreitet, kann eine Schaltung entsprechend Abb. 11.4.3. in die Taktleitung eingefügt werden.

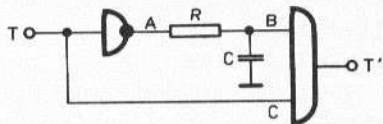


Abb. 11.4.3. Schaltung zum Erzeugen eines kurzzeitigen Taktimpulses

Die Wirkungsweise dieser Schaltung ist einfach: Bei $T = 0$ liegt am Punkt A eine 1. Ist die Zeitdauer $T = 0$ genügend groß, so ist auch $B = 1$. Durch $C = 0$ ist über das UND-Gatter auch $T' = 0$. Wird nun $T = 1$, so wird sofort auch $C = 1$. Da durch das RC-Glied der Punkt B mit einer bestimmten Verzögerung (abhängig von der Zeitkonstanten $\tau = R \cdot C$) 0 wird, ist noch für diese Zeit $B = C = 1$. Damit erscheint auch an T' eine 1. Bleibt jetzt der Eingangstakt $T = 1$, wird nach der definierten Verzögerung $B = 0$ und somit auch $T' = 0$. Unabhängig von der Dauer des Taktimpulses T erzeugt diese Schaltung einen kurzzeitigen Taktimpuls T' .

Eine weitere Möglichkeit, die Schaltung nach Abb. 11.4.1. schwingungsfrei auszuführen, besteht in einer Erweiterung entsprechend Abb. 11.4.4.

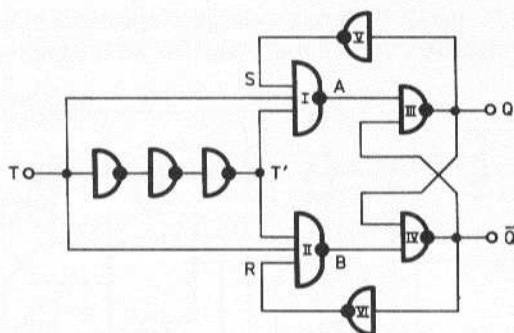
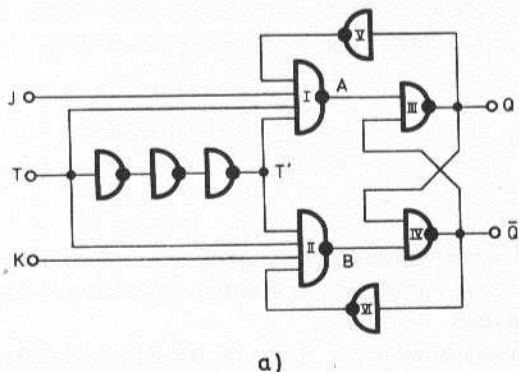


Abb. 11.4.4. Binäruntersetzter

Zur Erklärung der Schaltung gehen wir wieder von $Q = 0, \bar{Q} = 1$ und $T = 0$ aus. Bei $T = 0$ ist durch die 3fache Invertierung $T' = 1$. Die Punkte A und B sind gleich 1, so daß das FF einen stabilen Zustand aufweist. Wird nun $T = 1$, so sind zunächst alle Gattereingänge des Gatters I log. 1. Damit wird $A = 0$, und das FF kippt in den entgegengesetzten Zustand. Unabhängig von der Dauer des Zustandes $T = 1$ wird nach 3 Gatterlaufzeiten $T' = 0$ und somit $A = B = 1$. Das FF behält seinen Zustand bei. Die Gatter V und VI dienen zu einer zusätzlichen Signalverzögerung, um ein Schwingen der Schaltung absolut auszuschließen.

Durch eine geringfügige Erweiterung läßt sich die Schaltung nach Abb. 11.4.4. zu einem universell einsetzbaren JK-Flipflop verwandeln (Abb. 11.4.5.).



t_n		t_{n+1}		
K	J	Q	\bar{Q}	
0	0	Q	\bar{Q}	← keine Änderung
0	1	1	0	
1	0	0	1	
1	1	\bar{Q}	Q	← Komplement

Abb. 11.4.5. Taktflankengesteuertes JK-Flipflop
a) Schaltung
b) Funktionstabelle

Gegenüber Abb. 11.4.4. werden für die Gatter I und II Gatter mit 4 Eingängen verwendet. Die beiden zusätzlichen Eingänge werden mit J und K bezeichnet. Diese Bezeichnungen wurden ursprünglich rein willkürlich gewählt, haben sich jedoch für diesen FF-Typ fest eingebürgert.

Das charakteristische Merkmal für alle JK-FFs ist die Kreuzkopplung der Ausgänge mit den Eingängen. Auch in Abb. 11.4.5. liegt eine Kreuzkopplung Ausgang/Eingang vor, da über die beiden Inverter V und VI die Signale Q am Gatter II und \bar{Q} am Gatter I anliegen. Ohne diese beiden Inverter müßten die Rückkopplungsleitungen vertauscht werden.

Das Verhalten des FFs kann der Funktionstabelle entnommen werden. In der Praxis werden die Ein- und Ausgangsbezeichnungen immer so gewählt, daß sich J und Q sowie K und \bar{Q} gegenüberliegen. Eine 1 an J zum Zeitpunkt t_n ergibt eine 1 an Q zum Zeitpunkt t_{n+1} (nach der 0→1-Taktflanke). Bei J = K = 0 sind die Eingänge A und B des Basis-FFs 1, so daß keine Umschaltung erfolgen kann. Bei J = K = 1 bewirkt jede 0→1-Taktflanke ein Umschalten des FFs (Binärünsetzer).

Exp. 18

11.5. Master-Slave-Flipflop

Das Master-Slave-Verfahren ist ein sehr wichtiges FF-Prinzip, das häufig für integrierte FFs eingesetzt wird.

MS-FFs bestehen entsprechend Abb. 11.5.1. aus 2 hintereinandergeschalteten getakteten RS-FFs. Der Takt gelangt dabei einmal nichtinvertiert und einmal invertiert an die beiden FFs.

MS-FF

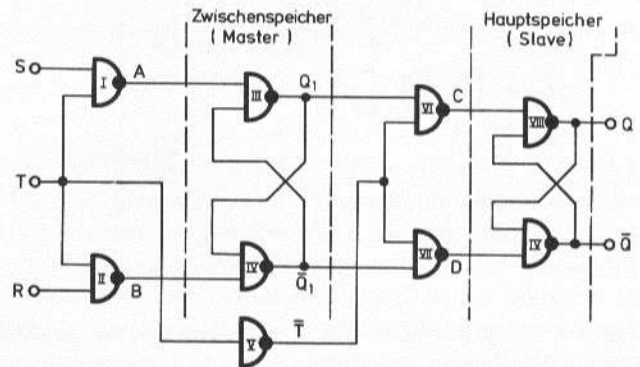


Abb. 11.5.1.
RS-MS-FF aus NAND-Gattern

Die Bezeichnung dieses FFs stammt aus dem angelsächsischen Sprachgebrauch. Master kann mit Meister oder Herr, Slave mit Sklave übersetzt werden. Bei diesem Prinzip muß eine im Master zwischengespeicherte Information vom Slave übernommen werden.

Die Arbeitsweise dieser Schaltung wird zunächst anhand eines Taktimpulses erläutert (Abb. 11.5.2.).

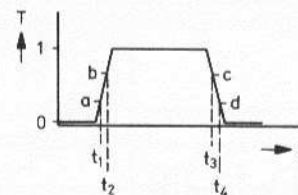


Abb. 11.5.2.
Funktionsablauf im MS-FF

Wenn ein zunächst rechteckförmig erscheinender Taktimpuls mit genügender Dehnung oszilloskopiert wird, so ist eine gewisse Anstiegs- bzw. Abfallzeit der Flanken zu erkennen. Idealisiert ist dieser Sachverhalt in Abb. 11.5.2. dargestellt.

Der Funktionsablauf im FF ist folgender: Ausgehend von $T = 0$ wird bei der 0→1-Flanke zum Zeitpunkt t_1 (Punkt a) der Ausgang des Inverters V log. 0. Damit sind die Ausgänge der beiden Gatter VI und VII – unabhängig vom Zustand des Master-FFs – log. 1. Dies bedeutet, daß das Slave-FF die eingenommene Stellung beibehält. Zum Zeitpunkt t_2 (Punkt b) erhalten die Gatter I und II vom Takt log. 1. Der Ausgangszustand der beiden Gatter wird jetzt nur noch von den an S und R liegenden Eingangssignalen bestimmt. Das Master-FF kann sich jetzt auf

die entsprechende Eingangsinformation einstellen. Zum Zeitpunkt t_3 (Punkt c) wird der Takt für die beiden Eingangsgatter wieder 0. Damit sind diese Gatter für eine Informationsübertragung gesperrt (beide Ausgänge 1), und das Master-FF behält seine eingenommene Stellung bei. Zum Zeitpunkt t_4 (Punkt d) wird der Ausgang des Inverters V wieder 1. Damit kann die Information vom Ausgang des Master-FFs über die Gatter VI und VII das Slave-FF in eine entsprechende Lage kippen lassen. Erst jetzt erscheint die an S und R angelegte Eingangsinformation an den beiden Ausgängen Q und \bar{Q} .

Ein MS-FF kann nur dann einwandfrei funktionieren, wenn die in Abb. 11.5.2. angegebene Reihenfolge eingehalten wird. Wenn bei der 0→1-Flanke Gatter V später als die Gatter I und II auf den 1-Pegel reagieren würde, könnte die Eingangsinformation ohne Zwischenspeicherung im Master-FF auf die Ausgänge gelangen. Dies wird dadurch verhindert, daß das Gatter V auf einen niedrigeren 1-Pegel anspricht als die Gatter I und II.

Die Funktionstabelle dieses FFs wird anhand eines Impulsdiagrammes ermittelt (Abb. 11.5.3.).

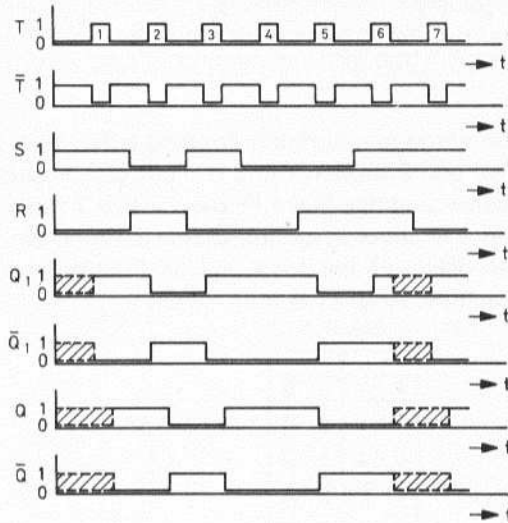


Abb. 11.5.3.
Impulsdiagramm des RS-MS-FFs nach Abb. 11.5.1.

Ausgehend von einem nicht definierten Zustand nach dem Einschalten der Betriebsspannung, wird mit der 0→1-Flanke des 1. Taktimpulses die Information an S und R vom Master-FF übernommen ($Q_1 = 1, \bar{Q}_1 = 0$). Durch die Invertierung des Taktes erscheint an den Ausgängen Q und \bar{Q} diese Information erst mit der 1→0-Taktfanke. Vor dem 2. Taktimpuls erfolgt ein Informationswechsel an S und R. Mit der 1→0-Flanke des Taktimpulses erscheint die neue Information am Ausgang des FFs. Nach einem weiteren Informationswechsel werden vor dem 4. Taktimpuls die Eingänge $S = R = 0$. Dies bedingt, daß unabhängig vom Taktzustand $A = B = 1$ ist. Damit behält das Master-FF – und somit auch das Slave-FF – seinen vorherigen Zustand. Bei $S = R = 0$ bleibt dadurch der vorherige Ausgangszustand an Q und \bar{Q} erhalten. Ein nicht definierter Ausgangszustand stellt sich dann ein, wenn $S = R = 1$ wird. Mit $T = 1$ wird in diesem Fall $A = B = 0$. Solange T noch 1 ist, nimmt das Master-FF einen irregulären Zustand ($Q_1 = \bar{Q}_1 = 1$) ein. Mit der 1→0-Flanke kippt es dann in einen von den Toleranzen abhängigen Zustand. Dieser wird ebenfalls vom Slave-FF übernommen. Mit diesen Erkenntnissen ergibt sich eine Funktionstabelle entsprechend Abb. 11.5.4.

t_n		t_{n+1}		← keine Änderung
R	S	Q	\bar{Q}	
0	0	Q	\bar{Q}	
0	1	1	0	
1	0	0	1	
1	1	n.d.		

Abb. 11.5.4.
Funktionstabelle für das RS-MS-FF nach Abb. 11.5.1.

Bei dem im Abschnitt 11.4. behandelten JK-FF wird der gesamte Funktionsablauf durch die 0→1-Taktfanke gesteuert. Es handelt sich somit um ein **einflankengesteuertes** FF. Bei diesem MS-FF dagegen werden beide Taktfanken zur Steuerung des Funktionsablaufes verwendet. Es ist also ein **zweiflankengesteuertes** FF. Der Nachteil des einfachen RS-MS-FFs ist der nicht definierte Zustand bei $S = R = 1$.

MS-JK-FF

11.6. Master-Slave-JK-Flipflop

Die weiteste Verbreitung findet das Master-Slave-Prinzip als MS-JK-FF. Das JK-Verhalten ergibt sich dann, wenn entsprechend Abb. 11.6.1. die Ausgänge über Kreuz mit den Eingängen verbunden sind.

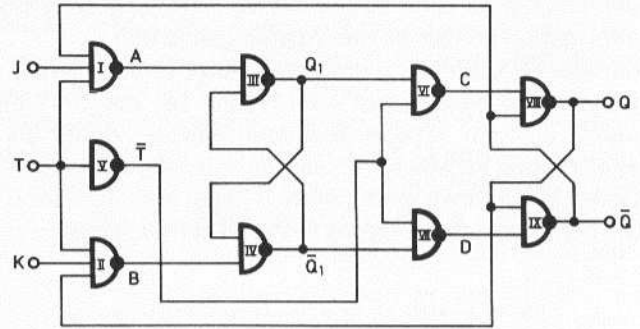


Abb. 11.6.1. MS-JK-FF aus NAND-Gattern

Da die beiden Ausgänge Q und \bar{Q} immer einen entgegengesetzten Zustand aufweisen, kann durch die Rückkopplung bei $J = K = T = 1$ an den Punkten A und B nicht gleichzeitig der Zustand 0 auftreten. Vielmehr nehmen das Master- und das Slave-FF bei $J = K = 1$ mit jedem Taktimpuls – bedingt durch die Kreuzkopplung – einen entgegengesetzten Zustand ein. Wie das JK-FF (siehe Abschnitt 11.4.) arbeitet auch dieses FF bei $J = K = 1$ als Binäruntersetzer. Damit ergibt sich eine Funktionstabelle entsprechend Abb. 11.6.2.

t_n		t_{n+1}		
K	J	Q	\bar{Q}	
0	0	Q	\bar{Q}	← keine Änderung
0	1	1	0	
1	0	0	1	
1	1	\bar{Q}	Q	← Komplement

Abb. 11.6.2. Funktionstabelle des MS-JK-FFs nach Abb. 11.6.1.

Exp. 20

Bei allen bisher besprochenen getakteten FFs bewirken die Informationen an den Vorbereitungseingängen (R, S; J, K) erst in Verbindung mit einem Taktimpuls einen entsprechenden Ausgangszustand. In manchen Anwendungsfällen ist es jedoch erforderlich (unabhängig vom Takt sowie vom Zustand der Vorbereitungseingänge), den Ausgangszustand **direkt** zu beeinflussen. Eingänge von FFs, die dies ermöglichen, werden als **Direkteingänge** bezeichnet. Vielfach wird hierfür auch die Bezeichnung **asynchrone** Eingänge verwendet. Asynchron deswegen, weil der Ausgangszustand auch nichtsynchron mit dem Takt beeinflusst werden kann. Analog hierzu findet man für die Vorbereitungseingänge auch manchmal die Bezeichnung **synchrone Eingänge**. In Abb. 11.6.3. ist ein MS-JK-FF mit einem direkten Setz- und einem Löscheingang dargestellt.

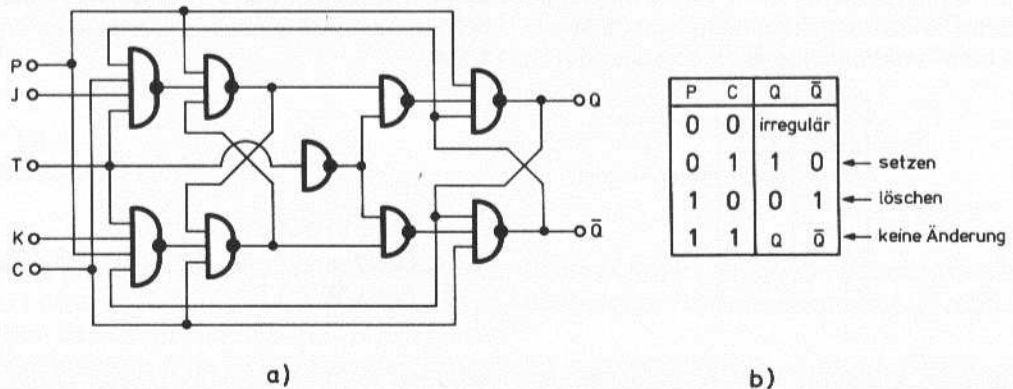


Abb. 11.6.3. MS-JK-FF mit direkten Eingängen
a) Schaltung
b) Funktionstabelle für die direkten Eingänge

Die Bezeichnungen P und C stammen aus der angelsächsischen Schreibweise von P = preset = vorsetzen und C = clear = löschen. Wie aus der Funktionstabelle (Abb. 11.6.3.b) zu entnehmen ist, wird bei P = 0 und C = 1 der Ausgang Q auf 1 und \bar{Q} auf 0 gesetzt. Umgekehrt wird bei P = 1 und C = 0 der Ausgang Q = 0 und \bar{Q} = 1. Im Normalbetrieb, d.h. wenn der Ausgangszustand synchron mit dem Takt von den Vorbereitungseingängen J und K bestimmt werden soll, muß P = C = 1 sein. In der Funktionstabelle sind keine Zeiten angegeben. Damit wird zum Ausdruck gebracht, daß die Eingänge P und C den Zustand des FFs unabhängig vom Taktzustand beeinflussen.

Exp. 21

11.7. Symbole für FFs

In umfangreichen Schaltplänen ist es kaum möglich, verwendete FFs mit ihren Logikplänen anzugeben. Vielmehr verwendet man Symbole, die sofort die Wirkungsweise der FFs erkennen lassen. Dabei spielt die technische Realisierung des Bausteins keine Rolle. In Anlehnung an DIN 40700 sind in Abb. 11.7.1. die Symbole für die wichtigsten FFs angegeben.

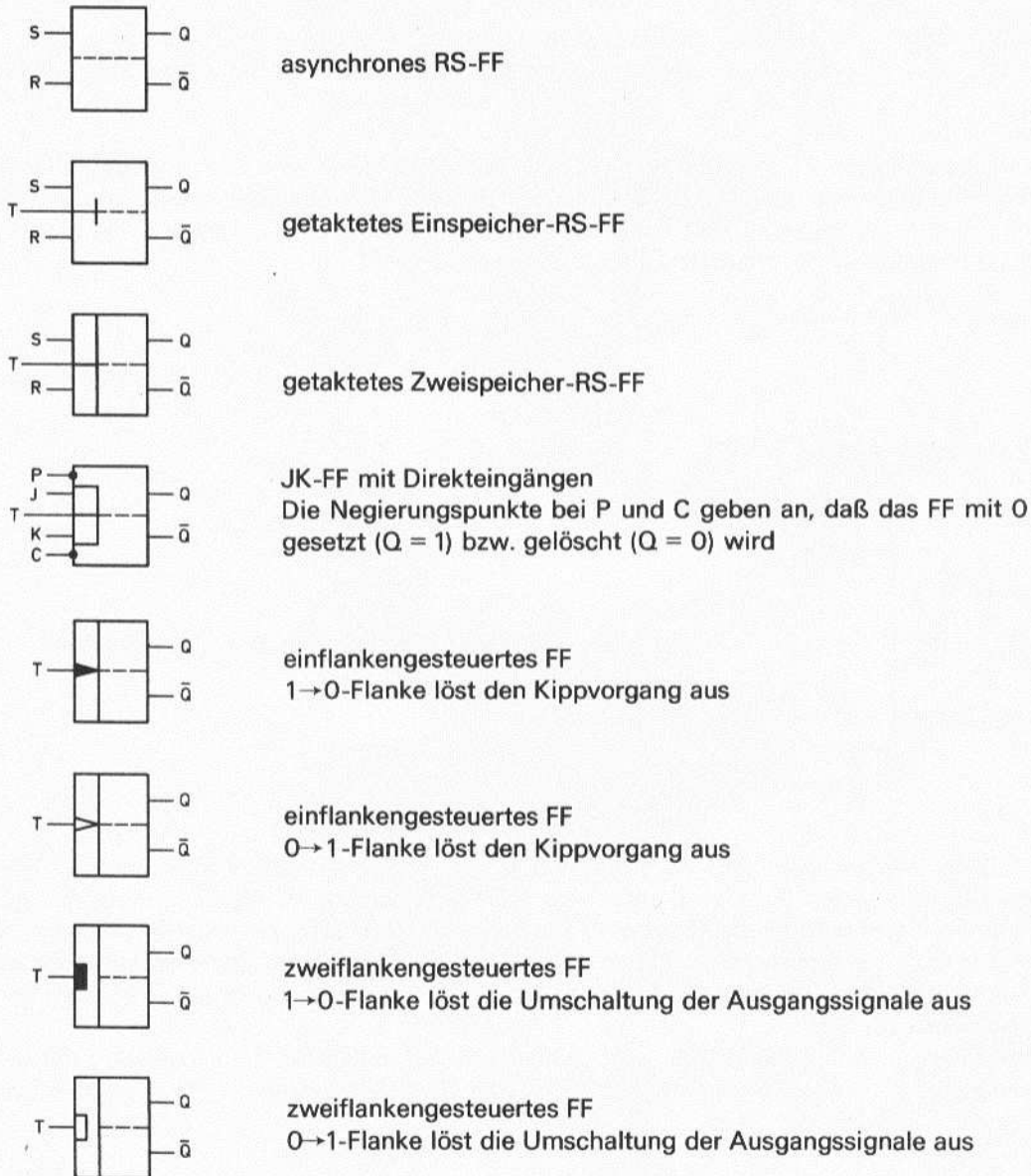


Abb. 11.7.1.
Häufig verwendete FF-Symbole

Die Anwendung der in Abb. 11.7.1. dargestellten Symbole wird an einigen Beispielen näher erläutert.

Beispiel 1 (Abb. 11.7.2.):

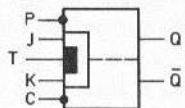


Abb. 11.7.2.
Zweiflankengesteuertes JK-FF mit direktem Setz- und Löscheingang

Die Umschaltung des Ausgangszustandes erfolgt hierbei mit der 1→0-Flanke. Die Negierungspunkte bei P und C besagen, daß das FF mit einem 0-Signal an P gesetzt ($Q = 1$) bzw. mit einem 0-Signal an C gelöscht ($Q = 0$) werden kann. Dieses Symbol entspricht dem FF nach Abb. 11.6.3.

Beispiel 2 (Abb. 11.7.3.):

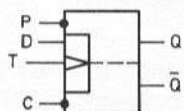


Abb. 11.7.3.
Einf flankengesteuertes D-FF mit direktem Setz- und Löscheingang

Daß es sich hier um ein D-FF handelt, geht aus der Bezeichnung D des allein vorhandenen Vorbereitungseinganges hervor. Das offene Dreieck am Takteingang besagt, daß es sich um eine Einflankensteuerung mit der 0→1-Flanke handelt. Im Gegensatz zu Abb. 11.2.1. und 11.2.2. handelt es sich außerdem um ein Zweispeicher-FF.

Beispiel 3 (Abb. 11.7.4.):

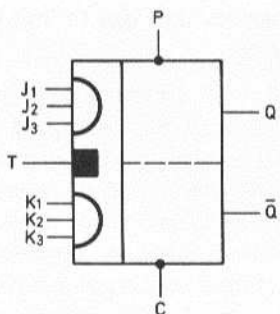


Abb. 11.7.4.
JK-FF mit 3 konjunktiv verknüpften J- und K-Eingängen

In Ergänzung zur Symbolik nach Abb. 11.7.1. wird noch eine weitere FF-Variante vorgestellt. Im Gegensatz zum Beispiel 1 hat dieses FF je 3 konjunktiv (UND) verknüpfte und gleichrangige J- und K-Eingänge. Dadurch bietet dieses FF Vorteile in speziellen Anwendungsfällen. Wird nur je ein Eingang benötigt, so müssen die nicht benutzten Vorbereitungseingänge an 1-Potential gelegt werden. Aus Platzgründen sind die direkten Eingänge bei diesem Symbol seitlich angeordnet.

In umfangreichen Schaltplänen werden zur besseren optischen Unterscheidung der beiden Ausgänge die FFs entsprechend Abb. 11.7.5. mit einem schwarzen Rechteck gekennzeichnet.

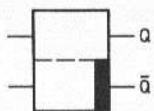


Abb. 11.7.5.
Kennzeichnung der beiden Ausgänge

Diese Art der Darstellung widerspricht der DIN-Norm 40700. Danach gibt die Schwärzung eine Vorzugslage des FFs an. Dies würde bedeuten, daß das FF nach Abb. 11.7.5. beim Einschalten der Betriebsspannung immer den Zustand $Q = 0$ und $\bar{Q} = 1$ einnimmt.

Fragen zu Abschnitt 11.

1. Von welcher Größe bzw. welchen Größen hängt beim Basis-FF der Ausgangszustand an Q und \bar{Q} ab, wenn sich beim Umschalten die Eingangszustände von $E_1 = E_2 = 0$ auf $E_1 = E_2 = 1$ ändern?
2. Warum werden die Eingänge des Basis-FFs aus NAND-Gattern mit \bar{R} und \bar{S} bezeichnet?
3. Wie werden beim getakteten RS-FF die Eingänge R und S noch bezeichnet?
4. Wie werden in der Fachliteratur getaktete RS-FFs und D-FFs bezeichnet?
5. Wann wirkt sich beim taktflankengesteuerten RS-FF ein $0 \rightarrow 1$ - oder $1 \rightarrow 0$ -Informationswechsel am \bar{S} - und \bar{R} -Eingang am Ausgang aus?
6. Aus welchen FFs besteht ein Master-Slave-FF?
7. Über welche Eingänge kann der Ausgangszustand eines Master-Slave-JK-FFs direkt beeinflusst werden, und welche Eigenschaft geben sie dem Slave-FF?

Antworten zu den Fragen für Abschnitt 11.

1. Der Ausgangszustand an Q und \bar{Q} (Basis-FF) beim Umschalten von $E_1 = E_2 = 0$ auf $E_1 = E_2 = 1$ hängt von den Toleranzen der Schaltung ab.
2. Die Eingänge des Basis-FFs aus NAND-Gattern werden mit \bar{R} und \bar{S} bezeichnet, weil ein 0-Signal am Eingang eines NAND-Gatters den Ausgangszustand 1 bewirkt.
3. Die Eingänge R und S beim getakteten RS-FF werden auch als Vorbereitungseingänge bezeichnet.
4. Getaktete RS-FFs und D-FFs werden in der Fachliteratur häufig als Auffang-FFs bezeichnet.
5. Ein 0→1- oder 1→0-Informationswechsel am \bar{S} - und \bar{R} -Eingang wirkt sich erst mit der nächsten 0→1-Taktflanke auf den Ausgang des taktflankengesteuerten RS-FFs aus.
6. Ein Master-Slave-FF besteht aus 2 hintereinandergeschalteten getakteten RS-FFs. Der Takt gelangt dabei einmal nicht invertiert (Master-FF) und einmal invertiert (Slave-FF) an die beiden FFs.
7. Der Ausgangszustand des Master-Slave-JK-FFs kann über die Eingänge P und C direkt, d.h. asynchron zum Taktsignal, beeinflusst werden. Die Direkteingänge geben dem Slave-FF die Eigenschaft eines Basis-FFs.

12. Integrierte Digitalschaltungen

Die ersten integrierten Schaltungen – abgekürzt **IC** (engl.: **I**ntegrated **C**ircuit) – entstanden etwa um 1964 als Weiterentwicklung des Silizium-Planar-Transistors. Mit Hilfe moderner Technologien lassen sich ganze Schaltungen auf einem Kristallplättchen (engl.: chip) unterbringen. Heute bieten die Halbleiterhersteller viele integrierte Schaltungen an. Dabei interessieren uns in diesem Zusammenhang nur ICs für digitale Anwendungen. Diese ICs lassen sich in Schaltungsfamilien unterteilen, von denen die gebräuchlichsten behandelt werden. Dabei liegt der Schwerpunkt auf der Transistor-Transistor-Logik (TTL), da diese heute in der Praxis den breitesten Raum einnimmt.

12.1. Wichtige Kennwerte (Parameter) integrierter Digitalschaltungen

Bevor die gebräuchlichsten Logikfamilien näher erläutert werden, stellen wir die wichtigsten Kennwerte integrierter Digitalschaltungen vor.

12.1.1. Logikpegel

Die beiden binären Zustände der Digitalelektronik werden bekanntlich durch 2 verschiedene Spannungen dargestellt. Welche Binärziffer welcher Spannung zugeordnet wird, ist zunächst gleichgültig (siehe auch Abschnitt 4.5.). Wesentlich ist nur, daß die beiden Spannungen eindeutig unterscheidbar sind. In Datenblättern sind für diese beiden Spannungen (besser Spannungsbereiche) deshalb Bezeichnungen eingeführt, die eine nachträgliche Zuordnung offen lassen. Da es aus Toleranzgründen außerdem nicht möglich ist, exakt definierte Spannungen für das Verhalten der Schaltung anzugeben, werden Spannungsbereiche definiert, die mit LOW (L) und HIGH (H), also mit niedrig und hoch, bezeichnet werden. Dabei stellt der L-Bereich immer eine niedrigere Spannung als der H-Bereich dar. Die genaue Definition für H und L lautet demnach: Der H-Spannungsbereich (auch H-Pegel genannt) liegt näher bei $+\infty$ V, der L-Spannungsbereich (auch L-Pegel genannt) näher bei $-\infty$ V.

Bedingt durch den technischen Aufbau von Schaltungen sind im allgemeinen die Spannungspegel H und L für die Ein- und Ausgänge der Schaltungen unterschiedlich und werden deshalb auch gesondert angegeben. Mit Abb. 12.1.1.1. wird dieses näher erläutert.

Logikpegel

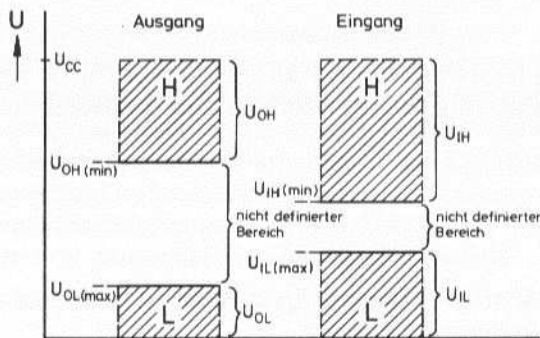


Abb. 12.1.1.1.
Ein- und Ausgangspegel digitaler ICs

Beginnen wir die Erklärung mit den möglichen Ausgangszuständen einer Schaltung (z. B. eines Gatters): Der untere Spannungsbereich (der negativere) ist mit L, der obere (der positivere) mit H bezeichnet. Dazwischen liegt ein Bereich, der nicht definiert ist. Dies bedeutet für die Praxis, daß eine Schaltung ausgangsseitig diese Spannungswerte nur kurzzeitig während des H→L- bzw. L→H-Umschaltvorganges einnehmen darf. Statisch darf dieser Zustand nicht auftreten. Alle diskreten Spannungswerte, die noch im L-Bereich liegen, werden zusammengefaßt mit U_{OL} (O = Output = Ausgang), alle diskreten Spannungswerte, die im H-Bereich liegen, werden mit U_{OH} bezeichnet. $U_{OH(min)}$ ist der niedrigste Spannungswert, der noch als Ausgangszustand H erkannt wird. Analog hierzu ist der höchste Spannungswert, der noch als Ausgangszustand L erkannt wird, $U_{OL(max)}$. Der nicht definierte Bereich liegt also zwischen $U_{OH(min)}$ und $U_{OL(max)}$.

Im rechten Teil der Abb. 12.1.1.1. sind die Pegel für den Eingang einer Digitalschaltung angegeben. Mit U_{IL} (I = Input = Eingang) wird der Spannungsbereich bezeichnet, der dem L-Zustand entspricht. Dabei ist $U_{IL(max)}$ die größte Spannung, die noch als L-Pegel erkannt

wird. Mit U_{IH} wird der Spannungsbereich bezeichnet, der dem Eingangszustand H entspricht. Hierbei ist wieder $U_{IH(min)}$ die kleinste Eingangsspannung, die noch mit Sicherheit als H-Pegel erkannt wird. Die Spannungen $U_{IH(min)}$ und $U_{IL(max)}$ grenzen den nicht eindeutig definierten Eingangsspannungsbereich ab. Beim Einsatz digitaler ICs muß immer darauf geachtet werden, daß die genannten Spannungsbereiche eingehalten oder besser gesagt, daß die mit min bzw. max angegebenen Grenzwerte nicht unter- bzw. überschritten werden.

Es gibt 2 Möglichkeiten, die Binärziffern 0 und 1 den Logikpegeln H und L zuzuordnen:

$1 \hat{=} H; 0 \hat{=} L$ (positive Logik)

$1 \hat{=} L; 0 \hat{=} H$ (negative Logik)

Diese Zusammenhänge werden an einem Beispiel näher erläutert (Abb. 12.1.1.2.).

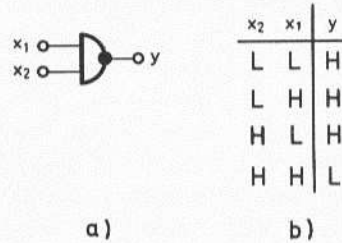


Abb. 12.1.1.2.

NAND-Gatter

a) Schaltsymbol

b) Funktionstabelle

Die Funktionstabelle gibt die logischen Zusammenhänge zwischen Ein- und Ausgangspegel an. Bei positiver Logik ($H = 1$ und $L = 0$) erfüllt dieses Gatter eine NAND-Funktion. Bei negativer Logik dagegen würde folgender Zusammenhang bestehen:

x_2	x_1	y
1	1	0
1	0	0
0	1	0
0	0	1

Dies bedeutet, daß es sich jetzt um eine NOR-Funktion handelt. Da in der Praxis jedoch meistens nach der positiven Logik gearbeitet wird, werden auch in den Datenbüchern die Gatter hiernach bezeichnet.

12.1.2. Störspannungsabstand

Werden entsprechend Abb. 12.1.2.1. 2 Gatter hintereinandergeschaltet, so bildet die Ausgangsspannung von Gatter 1 die Eingangsspannung von Gatter 2.

Störspannungsabstand

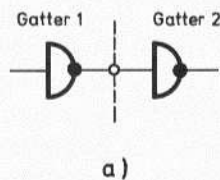
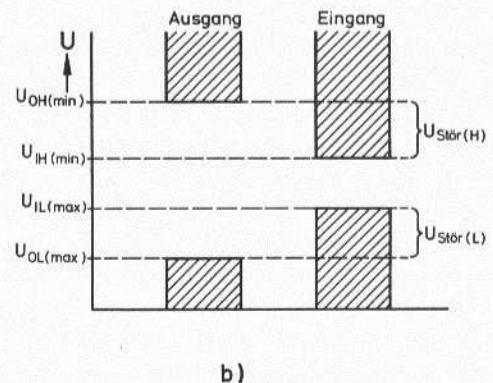


Abb. 12.1.2.1.

Bestimmung des Störspannungsabstandes

a) Hintereinanderschaltung von 2 Gattern

b) Darstellung der Störspannungsabstände



Betrachten wir zunächst den H-Zustand: die minimale Ausgangsspannung von Gatter 1 ist $U_{OH(min)}$. Der Eingang von Gatter 2 benötigt aber als H-Pegel nur den Wert $U_{IH(min)}$.

Dies bedeutet, daß selbst unter ungünstigen Bedingungen sichergestellt ist, daß Gatter 2 eingangsseitig mit H-Pegel angesteuert wird.

Darüber hinaus ist noch eine gewisse Reserve vorhanden, die mit $U_{\text{Stör(H)}}$ bezeichnet wird. Bedingt durch die externe Verbindung der beiden Gatter muß in der Praxis davon ausgegangen werden, daß die Verbindung als Antenne für eventuell vorhandene Störimpulse wirkt. Wäre absolut keine Reserve oder besser ausgedrückt kein Störspannungsabstand vorhanden, könnten diese Impulse zu einem ungewollten Schalten von Gatter 2 führen. Durch den vorhandenen Störspannungsabstand müssen diese Impulse jedoch bestimmte Werte erreichen, um ein Fehlverhalten der Schaltung auszulösen.

Für den L-Zustand gelten ähnliche Überlegungen: Die Spannung U_{OL} von Gatter 1 kann maximal den Wert $U_{\text{OL(max)}}$ einnehmen. Der Eingang von Gatter 2 dagegen registriert den Zustand L bis zum Wert $U_{\text{IL(max)}}$. Die Differenz dieser beiden Maximalwerte ergibt den Störspannungsabstand $U_{\text{Stör(L)}}$ für den L-Zustand.

Zusammengefaßt gilt also:

$$U_{\text{Stör(H)}} = U_{\text{OH(min)}} - U_{\text{IH(min)}}$$

$$U_{\text{Stör(L)}} = U_{\text{IL(max)}} - U_{\text{OL(max)}}$$

Wie später näher erläutert wird, werden für den Einsatz in mit Störsignalen verseuchten Geräten ICs eingesetzt, die einen möglichst großen Störspannungsabstand besitzen (stör-sichere Logik).

Beim Entwurf einer Schaltung ist immer der kleinere Störspannungsabstand heranzuziehen. Dies gilt besonders dann, wenn die Schaltung auf ihren ungünstigsten Fall untersucht wird. D.h., alle vorhandenen Toleranzen fallen so zusammen, daß für die Schaltung die ungünstigsten Betriebsbedingungen herrschen. Dieser Fall wird meistens mit dem englischen Ausdruck worst-case-Fall bezeichnet. Von entscheidender Bedeutung, ob ein Störimpuls zu einem Fehlverhalten der Schaltung führen kann, ist außer der Amplitude noch die Störimpulsdauer. Jeder digitale Schaltkreis benötigt zum Ansprechen Impulse, die größer als die Schaltverzögerungszeit der Schaltung sind. Störimpulse, die diesen Wert nicht erreichen, führen trotz ausreichender Störampplitude nicht zu einem ungewollten Zustand.

**Störimpuls-
dauer**

12.1.3. Schaltzeit (Verzögerungszeit)

Bei jeder Signalübertragung entsteht durch die natürliche Laufzeit eine Verzögerung, die der Signalträger in dem Übertragungsmedium erfährt. Dies trifft auch für die L- und H-Signale in einer Digitalschaltung zu. Je nach Logikfamilie sind die auftretenden Schaltverzögerungen (die Übertragungsglieder arbeiten in der Digitaltechnik als Schalter) recht unterschiedlich. Die Ursache für diese Verzögerungen sind unvermeidbare Kapazitäten sowie Raumladungen der Halbleiterbauelemente. Entsprechend Abb. 12.1.3.1. werden diese Schaltverzögerungen in **Ein- und Ausschaltverzögerung** unterteilt.

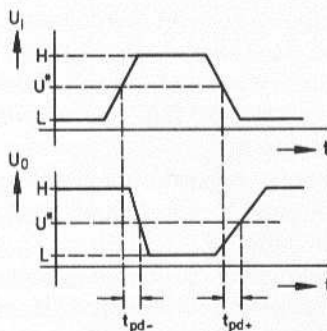


Abb. 12.1.3.1.
Ein- und Ausschaltverzögerung

**Ein- und
Ausschalt-
verzögerung**

Wechselt am Eingang eines digitalen Schaltkreises der Pegel von L auf H oder umgekehrt (oberes Diagramm in Abb. 12.1.3.1.), so vergeht eine bestimmte Zeit, bis diese Änderung am Ausgang des Schaltkreises wirksam wird. Diese Verzögerungszeit wird allgemein mit t_{pd} (p = propagation = Ausbreitung und d = delay = Verzögerung) bezeichnet. Als Bezugswert dient der Halbwert U^* des Pegelsprungs.

Die **Einschaltverzögerungszeit** t_{pd-} gilt für den Übergang des Ausgangszustandes von H nach L, die **Ausschaltverzögerungszeit** t_{pd+} dagegen für den Übergang von L nach H.

Die Werte für t_{pd-} und t_{pd+} können bei einem digitalen Schaltkreis unterschiedlich sein. Ist das nicht der Fall oder weichen sie nur wenig voneinander ab, wird in Datenbüchern häufig nur die **mittlere Verzögerungszeit** t_{pd} angegeben. Sie ergibt sich aus der Gleichung:

$$t_{pd} = \frac{(t_{pd-}) + (t_{pd+})}{2}$$

Je nach verwendeter Logikfamilie liegen die mittleren Verzögerungszeiten zwischen ca. 1 und 500 ns. Die Verzögerungszeit ist ein wichtiges Kriterium für die maximal zu verarbeitende Signalfrequenz des Schaltkreises.

12.1.4. Ein- und Ausgangslastfaktor

Werden 2 oder mehrere digitale Schaltkreise entsprechend Abb. 12.1.4.1. miteinander verbunden, so wird der Ausgang der treibenden Schaltung (G_1) durch die angeschlossenen Eingänge der nachfolgenden Gatter belastet.

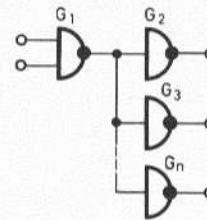


Abb. 12.1.4.1.
Erläuterung des Ein- und Ausgangslastfaktors

Sowohl beim H- als auch beim L-Zustand fließen in den Gattereingängen Ströme, die für den Gatterausgang von G_1 eine Belastung darstellen. Da der Ausgang von G_1 einen bestimmten Innenwiderstand hat, beeinflussen diese Belastungen den Ausgangsspannungspegel. Im Abschnitt 12.1.1. wurde bereits erläutert, daß mit $U_{OH(min)}$ und $U_{OL(max)}$ bestimmte Grenzwerte der Ausgangspegel nicht über- bzw. unterschritten werden dürfen. Dies bedeutet für die Praxis, daß der Ausgang eines treibenden Gatters nur mit einer bestimmten Maximalzahl von Gattereingängen verbunden werden darf. Die in den Gattereingängen fließenden Ströme unterscheiden sich in bezug auf ihre Flußrichtung und ihre Größe zwischen H- und L-Zustand. Sie betragen z.B. bei der TTL-Logik pro Gattereingang für den L-Eingangszustand max. 1,6 mA und für den H-Eingangszustand max. 40 μ A. Diese Werte sind Maximalwerte und gelten bei worst-case-Bedingungen für einen Eingang eines Standardgatters.

In der Praxis wäre es umständlich, mit diesen Strömen die Lastverhältnisse zu beschreiben. Man gibt vielmehr **Lasteinheiten LE** an, mit denen ein Ausgang belastet werden darf. Bei diesem Beispiel charakterisieren der H-Strom von 40 μ A und der L-Strom von 1,6 mA **eine** Lasteinheit (1 LE). Alle Eingänge eines digitalen Schaltkreises, die o.g. Ströme aufweisen, haben einen Eingangslastfaktor $F_i = 1$ LE. Die Abkürzung F_i stammt aus der angelsächsischen Bezeichnung fan-in (**fan** = Fächer; **in** = Abkürzung von input).

Bei komplexeren integrierten Digitalschaltungen ist häufig ein externer Eingang intern mit mehreren Gattereingängen verbunden. Bestehen z.B. interne Verbindungen zu 3 Gattern, so beträgt für diesen Eingang der Eingangsfaktor 3 Lasteinheiten ($F_i = 3$ LE).

Damit nun festgelegt werden kann, mit wie vielen Lasteinheiten ein Ausgang belastet werden darf, muß auch der Ausgangslastfaktor F_o (fan-out) bekannt sein. Besitzt z.B. ein Ausgang ein F_o von 10 LE, so bedeutet dies, daß dieser mit 10 Lasteinheiten belastet werden darf. Das können z.B. 10 Gattereingänge mit jeweils $F_i = 1$ LE oder auch 5 Eingänge mit jeweils $F_i = 2$ LE sein.

Wichtig ist die Erkenntnis, daß nur Lasteinheiten der gleichen Logikfamilie in der beschriebenen Form anzuwenden sind. Werden unterschiedliche Logikfamilien zusammenschaltet, so müssen die tatsächlich fließenden Ströme für die auftretenden Belastungsfragen herangezogen werden.

Ein- und
Ausgangslast-
faktor

Lasteinheit

fan-in

fan-out

12.2. Logikfamilien

12.2.1. Dioden-Transistor-Logik (DTL)

Der Grundbaustein der DTL-Familie ist bei positiver Logik ein NAND-Gatter mit einer Schaltung entsprechend Abb. 12.2.1.1.

DTL

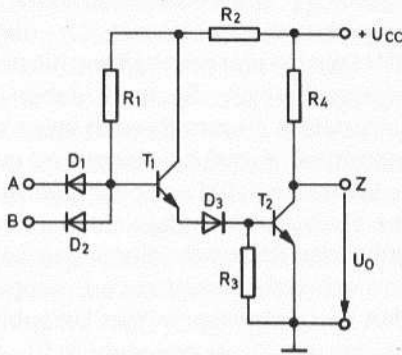


Abb. 12.2.1.1.
DTL-Grundgatter
(A und B = logische Eingänge, Z = logischer Ausgang)

Die Arbeitsweise dieser Schaltung ist folgende: Liegen die Eingänge A und B an H-Pegel, kann von $+U_{CC}$ (normal 5 V) über die Widerstände R_2 und R_1 ein Basisstrom in die Basis von Transistor T_1 fließen. Damit wird dieser leitend und bewirkt einen Basisstrom in Transistor T_2 . Die Schaltung ist so dimensioniert, daß T_2 voll durchgesteuert ist. Am Ausgang Z stellt sich jetzt die geringe Sättigungsspannung $U_{CEsat} \approx 0,2$ V ein. Das bedeutet, daß bei $A = B = H$ am Ausgang der L-Pegel $U_{OL} \approx 0,2$ V steht.

Interessant ist die Spannung, die in diesem Fall an der Basis von T_1 anliegt. Da die einzelnen Bauelemente grundsätzlich in Silizium-Planar-Technik hergestellt werden, entstehen an den in Durchlaßrichtung vorgespannten Diodenstrecken Spannungsabfälle von ca. 0,6 V. Da bei einem leitenden Transistor die Basis-Emitterstrecke eine leitende Diodenstrecke darstellt, stehen an der Basis von T_1 $3 \cdot 0,6$ V = 1,8 V gegen Masse. D.h., an der Basis von T_1 muß mindestens eine Spannung von 1,8 V herrschen, wenn die beiden Transistoren durchgesteuert werden sollen. Die Diode D_3 dient als Hubdiode. Ohne D_3 stellt sich an der Basis von T_1 nur eine Spannung von $2 \cdot 0,6$ V = 1,2 V ein. Dies hat, wie wir später sehen werden, eine Verschlechterung des Störspannungsabstandes zur Folge.

Wird nun ein Eingang (oder auch beide) mit L-Pegel oder Masse verbunden, so wird die entsprechende Diode (oder beide) leitend. Damit wird die Basis von T_1 an ca. +0,6 V gelegt. Da aber mindestens 1,8 V erforderlich sind, damit T_1 leitend wird, werden beide Transistoren gesperrt. Am Ausgang Z steht jetzt praktisch die volle Betriebsspannung $+U_{CC} = 5$ V. Dies entspricht dem Ausgangszustand H. Damit verhält sich diese Konfiguration hinsichtlich ihrer Logikpegel als NAND-Gatter.

Das Verhalten dieser Schaltung in bezug auf ihre Spannungspegel kann nach den bisherigen Erläuterungen gut an der Übertragungskennlinie $U_O = f(U_I)$ erklärt werden (Abb. 12.2.1.2.).

Hubdiode

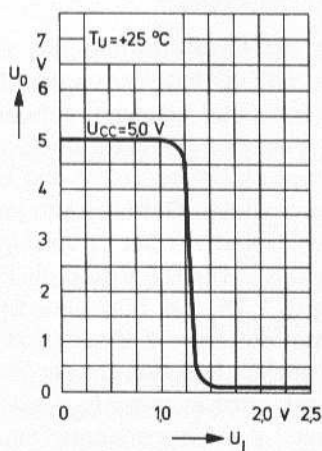


Abb. 12.2.1.2.
Übertragungskennlinie $U_O = f(U_I)$ eines
DTL-NAND-Gatters (Ausgang ist nicht
belastet)

Wird die Eingangsspannung U_I an allen vorhandenen Gattereingängen von 0 V nach positiveren Werten erhöht, so ändert sich zunächst die Ausgangsspannung U_O nicht. Erst beim Erreichen

von ca. 1,2 V fällt U_O von 5 V ziemlich steil auf einen Wert von ca. 0,2 V ab. Solange $U_I < 1,2$ V ist, stellt sich an der Basis von T_1 ein Spannungswert ein, der sich aus der Addition von U_I und der Diodenflußspannung der beiden Eingangsdioden ergibt. Dieser ist kleiner als der für das Durchsteuern von T_1 erforderliche Wert von 1,8 V. Erreicht U_I den Wert 1,2 V, werden diese 1,8 V erreicht und dadurch T_1 und T_2 durchgesteuert. Ab einer Spannung von $U_I \approx 1,6$ V sind beide Transistoren sicher durchgesteuert, d.h., der Ausgang weist L-Pegel auf. Zwischen $U_I = 1,2$ V und $U_I = 1,6$ V liegt bei dieser Schaltung hinsichtlich des logischen Verhaltens ein nicht eindeutig definierter Bereich. Es muß daher bei einer Schaltung unter allen Umständen sichergestellt sein, daß in diesem Bereich keine statischen Eingangsspannungen auftreten können. Das Eingangssignal U_I muß bei einem 0→1- und einem 1→0-Sprung diesen Bereich schnell durchlaufen. Der Wert $U_I = 1,2$ V entspricht dem maximalen Spannungswert für U_{IL} , also $U_{IL(max)}$. Der Wert $U_I = 1,6$ V entspricht dem minimalen Spannungswert für U_{IH} , also $U_{IH(min)}$. Unter ungünstigen Betriebsbedingungen können sich jedoch diese Pegel verschieben. Damit sich auch noch unter worst-case-Bedingungen ein eindeutiges Verhalten der Schaltung ergibt, werden beispielsweise in den Datenblättern für DTL-Standardgatter $U_{IL(max)}$ mit 0,8 V und $U_{IH(min)}$ mit 2,1 V angegeben. Die typischen Werte dagegen betragen bei einer Umgebungstemperatur von $T_U = 25$ °C für U_{IL} ca. 1,1 V und für U_{IH} ca. 1,6 V.

Die in Abb. 12.2.1.2. dargestellte Übertragungskennlinie $U_O = f(U_I)$ gilt in dieser Form nur bei unbelastetem Ausgang. Was geschieht nun, wenn an den Ausgang des Gatters Eingänge von weiteren DTL-Schaltungen angeschlossen werden? Zunächst wird der Fall untersucht, daß entsprechend Abb. 12.2.1.3. die Ausgänge von 2 Gattern mit je einem Eingang eines nachfolgenden Gatters verbunden werden.

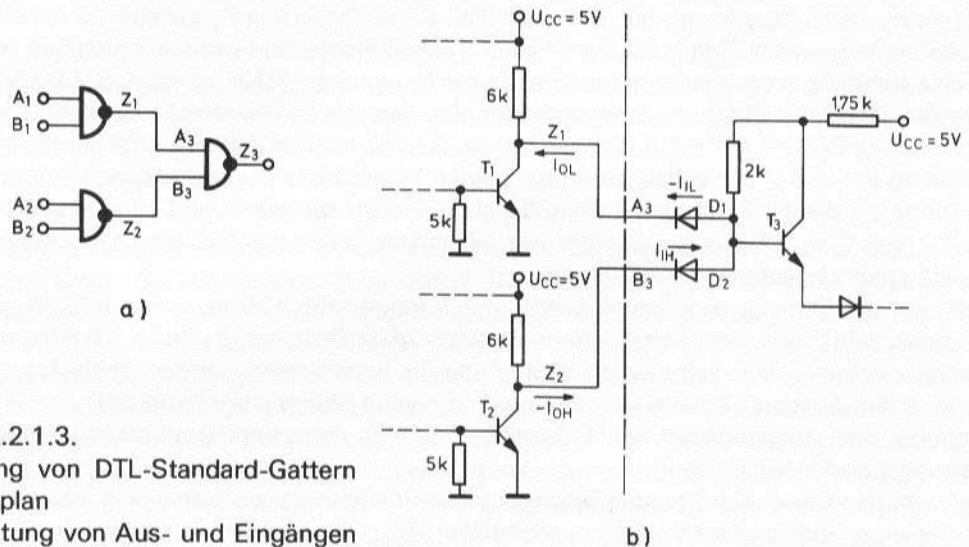


Abb. 12.2.1.3.
Schaltung von DTL-Standard-Gattern
a) Logikplan
b) Schaltung von Aus- und Eingängen

In Abb. 12.2.1.3.b sind die Ausgangsstufen sowie die Eingangsstufe des zu treibenden Gatters dargestellt. Bei der Untersuchung gehen wir davon aus, daß der Ausgang Z_1 L-Potential (Transistor leitend) und der Ausgang Z_2 H-Potential (Transistor gesperrt) aufweist. Wenn der Transistor T_1 voll durchgesteuert ist, fällt zwischen Kollektor und Emitter nur die geringe Sättigungsspannung U_{CEsat} ab. Diese liegt typisch bei ca. 0,2 V und kann maximal auf ca. 0,6 V ansteigen. Von $U_{CC} = 5$ V des nachgeschalteten Gatters kann jetzt ein Strom $-I_{IL}$ über 1,75 k Ω , 2 k Ω , D_1 und T_1 nach Masse fließen. Gehen wir bei T_1 von $U_{CEsat} = 0,2$ V aus, dann stehen an der Basis von T_3 0,2 V + 0,6 V = 0,8 V. Die 0,6 V sind die Flußspannung der Diode D_1 . Über die beiden Widerstände (2 und 1,75 k Ω) fällt eine Spannung von 5 V - 0,8 V = 4,2 V ab. Der daraus resultierende Strom beträgt 4,2 V : 3,75 k Ω = 1,12 mA. Mit diesem Strom wird der Transistor T_1 bei U_{OL} zusätzlich belastet. Da der Strom aus dem Eingang A_3 des nachgeschalteten Gatters herausfließt, wird er mit $-I_{IL}$ bezeichnet. Unter worst-case-Bedingungen wird in Datenblättern $-I_{IL}$ mit 1,4 mA angegeben. Der Ausgang von T_1 darf laut Datenblatt unter ungünstigen Bedingungen mit $I_{OL} = 11,4$ mA belastet werden. Das bedeutet, daß im L-Zustand ein Ausgang mit maximal 11,4 mA : 1,4 mA = 8,14, also mit 8 Ausgängen belastet werden darf. Das fan-out von Standard-DTL-Gattern beträgt im L-Zustand 8 LE, wobei 1 LE = 1,4 mA ist.

Betrachten wir jetzt den Ausgang Z_2 . Da $Z_2 = H$ angenommen wird, ist Transistor T_2 gesperrt. Da auch die Diode D_2 gesperrt ist, kann jetzt theoretisch kein Strom fließen, so daß an Z_2 die Spannung $U_{CC} = 5\text{ V}$ gemessen werden müßte. Tatsächlich fließen jedoch bei einem gesperrten Halbleiter immer stark temperaturabhängige Restströme. Bei DTL-Eingängen können diese maximal $10\text{ }\mu\text{A}$ erreichen. Auf Abb. 12.2.1.3. bezogen bedeutet dies, daß bei U_{IH} ein Strom I_{IH} in den Eingang hineinfließt. Außerdem weist auch der Transistor T_2 einen Reststrom auf, so daß am Kollektorwiderstand von T_2 eine bestimmte Spannung abfällt. Laut Datenblatt darf im H-Zustand unter worst-case-Bedingungen der Ausgang mit einem Strom von $-I_{OH} = 0,12\text{ mA}$ belastet werden. Dann wird der Wert $U_{OH(\min)}$ von $2,6\text{ V}$ nicht unterschritten. Bei $I_{IH} = 10\text{ }\mu\text{A}$ könnten demnach im H-Zustand 12 Eingänge mit einem Ausgang verbunden werden. Das fan-out im H-Zustand beträgt also 12 LE, wobei $1\text{ LE} = 10\text{ }\mu\text{A}$ ist. Für den L-Zustand hatten wir dagegen ein fan-out von nur 8 LE ermittelt. Da davon ausgegangen wird, daß der Ausgang zwischen H- und L-Pegel bei Ansteuerung wechselt, ist für die Schaltungsdimensionierung der kleinere F_0 -Wert von 8 LE bindend. Der typische Wert für U_{OH} beträgt bei $F_0 = 8\text{ LE}$ und $T_U = 25\text{ }^\circ\text{C}$ ca. $4,2\text{ V}$.

Zusammengefaßt ergeben sich für die DTL-Standard-Serie folgende worst-case-Werte:

$$\begin{aligned} -I_{IL} &= 1,4\text{ mA} \\ I_{IH} &= 10\text{ }\mu\text{A} \\ I_{OL} &= 11,4\text{ mA} \\ -I_{OH} &= 0,12\text{ mA} \\ F_0 &= 8\text{ LE} \\ U_{OH(\min)} &= 2,6\text{ V} \\ U_{OL(\max)} &= 0,6\text{ V} \\ U_{IH(\min)} &= 1,9\text{ V} \\ U_{IL(\max)} &= 1,1\text{ V} \end{aligned}$$

**typische Daten
bei DTL**

Aus den Spannungspegelangaben läßt sich der statische Störspannungsabstand wie folgt ermitteln:

$$\begin{aligned} U_{\text{Stör(H)}} &= U_{OH(\min)} - U_{IH(\min)} \\ U_{\text{Stör(H)}} &= 2,6\text{ V} - 1,9\text{ V} = 0,7\text{ V} \\ U_{\text{Stör(L)}} &= U_{IL(\max)} - U_{OL(\max)} \\ U_{\text{Stör(L)}} &= 1,1\text{ V} - 0,6\text{ V} = 0,5\text{ V} \end{aligned}$$

Die typischen Werte für die DTL-Standardserie sind jedoch bei $T_U = 25\text{ }^\circ\text{C}$ und $F_0 = 8\text{ LE}$ wesentlich günstiger:

$$\begin{aligned} U_{\text{Stör(H)typ}} &= U_{OH(\text{typ})} - U_{IH(\text{typ})} \\ U_{\text{Stör(H)typ}} &= 4,2\text{ V} - 1,6\text{ V} = 2,6\text{ V} \\ U_{\text{Stör(L)typ}} &= U_{IL(\text{typ})} - U_{OL(\text{typ})} \\ U_{\text{Stör(L)typ}} &= 1,3\text{ V} - 0,25\text{ V} = 1,05\text{ V} \end{aligned}$$

Weitere wichtige Daten der DTL-Standardgatter:

$$\begin{aligned} t_{pd+} &: 25\text{ bis }80\text{ ns} \\ t_{pd-} &: 10\text{ bis }30\text{ ns} \end{aligned}$$

Mittlere Leistungsaufnahme pro Gatter: $8,5\text{ mW}$

$$U_{CC(\max)}: +8\text{ V}$$

Außer der Standardserie werden noch weitere Serien angeboten, die sich im fan-out oder in der Ein- und Ausschaltverzögerung von dieser unterscheiden. Da aber die TTL- die DTL-Bausteine immer mehr verdrängen, werden diese Besonderheiten nicht weiter erläutert.

12.2.2. Transistor-Transistor-Logik (TTL)

Das z.Z. umfangreichste Angebot an digitalen Schaltungen sind TTL-Bausteine. Es reicht vom einfachen Inverter bis zu komplexen Bausteinen wie Zähler, arithmetische Elemente und

TTL

Speicher. Der ausschlaggebende technische Vorteil von TTL gegenüber DTL ist die kleinere Signalverzögerungszeit t_{pd} , die ca. 10 ns beträgt und bei einer Spezialausführung (Schottky-Serie von Texas Instruments) sogar nur 3 ns. Hinzu kommt für den Anwender, daß fast alle namhaften Halbleiterhersteller TTL-Bausteine mit der gleichen Typenbezeichnung und mit den gleichen elektrischen Daten liefern. Der Hauptvorteil jedoch ist die große Typenvielfalt, mit der TTL-Bausteine angeboten werden.

Wie bei DTL stellt auch bei TTL das NAND-Gatter den Grundbaustein dar. Die Schaltung eines TTL-Standardgatters zeigt Abb. 12.2.2.1.

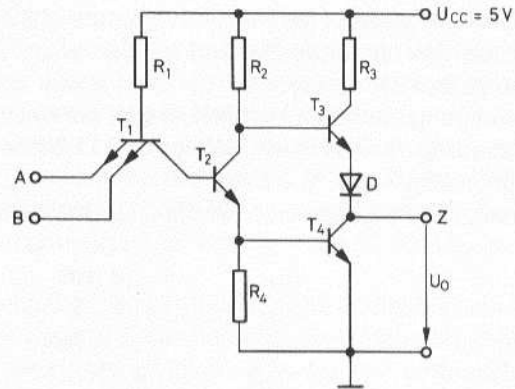


Abb. 12.2.2.1.
TTL-Grundgatter

Multi-Emitter-Transistor

Die Eingänge A und B dieser Schaltung bilden die Emitter eines Multi-Emitter-Transistors. Dieser ist in erster Linie für das bessere dynamische Verhalten der TTL gegenüber den DTL-Bausteinen verantwortlich. Die Bezeichnung Multi-Emitter-Transistor stammt daher, daß dieser Transistor mehrere Emitter besitzt. Zunächst wird die Arbeitsweise dieses Transistors näher erläutert.

Bei jedem Transistor kann man Kollektor und Emitter vertauschen. Dann wird die Basis-Kollektordiode in Durchlaßrichtung und die Basis-Emitterdiode in Sperrichtung betrieben. Diese Betriebsart eines Transistors wird allgemein mit **Inversbetrieb** bezeichnet. Vom Normalbetrieb unterscheidet sich diese Betriebsart in erster Linie durch eine wesentlich geringere Stromverstärkung, der sog. inversen Stromverstärkung B_{invers} , die bei normalen Transistoren etwa 10 beträgt.

Für die nächste Betrachtung gehen wir davon aus, daß der Eingang A an L-Pegel, der Eingang B an H-Pegel liegt. Damit ergibt sich für den Eingangskreis eine Ersatzschaltung entsprechend Abb. 12.2.2.2.

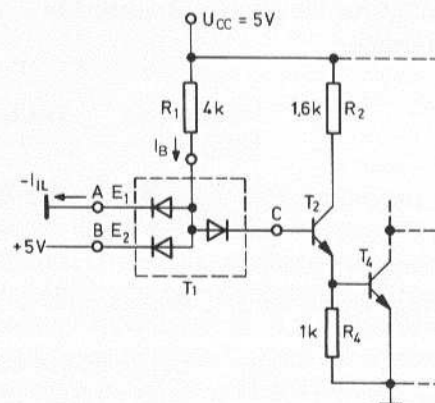


Abb. 12.2.2.2.
Arbeitsweise des Multi-Emitter-Transistors (Eingang A an L-Pegel)

Bei diesem Eingangszustand ist die Basis-Emitterdiode des Emitters E_1 in Flußrichtung, die des Emitters E_2 in Sperrichtung vorgespannt. Am Basisanschluß B stellt sich eine Spannung von ca. +0,6 V (gegen Masse) ein. Bei $U_{CC} = 5$ V ergibt sich ein Basisstrom von

$$I_B = \frac{5 \text{ V} - 0,6 \text{ V}}{4 \text{ k}\Omega} = 1,1 \text{ mA}$$

Dieser relativ hohe Basisstrom bewirkt, daß der Transistor T_1 voll durchgesteuert wird, so daß sich zwischen Emitter und Kollektor C nur die geringe Sättigungsspannung U_{CEsat} in der

Größenordnung von 0,1 bis 0,2 V einstellen kann. Eine Spannung von ca. 0,2 V an der Basis von T_2 reicht jedoch nicht aus, diesen Transistor zu öffnen. Bedingt durch die beiden Basis-Emitterstrecken von T_2 und T_4 sind hierzu mindestens 1,2 V erforderlich. Dies bedeutet, daß obwohl T_1 voll durchgesteuert ist, in T_1 kein Kollektorstrom fließen kann (den geringen Reststrom wollen wir an dieser Stelle vernachlässigen). Praktisch der gesamte eingespeiste Basisstrom fließt als $-I_{IL}$ über die obere Emitter-Basis-Diode nach Masse. Bei diesem Eingangszustand wird T_1 normal betrieben. Daran würde sich auch nichts ändern, wenn beide Eingänge mit L-Potential verbunden wären. In diesem Fall würde sich lediglich der Strom I_B auf beide Emitterstrecken verteilen.

Als nächstes wollen wir den Zustand untersuchen, der sich bei $A = B = H$ ergibt (Abb. 12.2.2.3.).

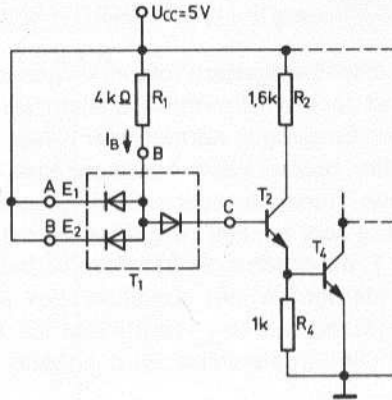


Abb. 12.2.2.3.
Arbeitsweise des Multi-Emitter-Transistors (beide Eingänge an H-Pegel)

In diesem Fall wird der Transistor T_1 invers betrieben. Die beiden Emitter bilden nun den Kollektor, der an $U_{CC} = 5\text{ V}$ liegt. Der Kollektor wird als Emitter betrieben, d.h. die Diodenstrecke von Punkt C zur Basis ist in Flußrichtung vorgespannt. Damit sind über R_1 3 Diodenstrecken in Flußrichtung mit $U_{CC} = 5\text{ V}$ verbunden. An der Basis von T_1 stellt sich eine Spannung von ca. 1,8 V ein. Über R_1 fällt eine Spannung von $5\text{ V} - 1,8\text{ V} = 3,2\text{ V}$ ab. Der eingepreßte Basisstrom I_B beträgt ca. 0,8 mA. Für jeden Transistor gilt, daß der Kollektorstrom I_C um den Stromverstärkungsfaktor größer ist als der Basisstrom I_B . Bei einer Stromverstärkung von $\beta > 100$ bedeutet dies, daß in jeden der beiden Eingänge ein Kollektorstrom I_C von minimal 80 mA fließt (beim Inversbetrieb muß der Multi-Emitter-Transistor als Multi-Kollektor-Transistor betrachtet werden). Ein derartiger Strom I_{IH} bedeutet aber eine so große Belastung der H-Spannungsquelle, daß diese Logik für die Praxis absolut unbrauchbar ist. Durch eine spezielle Geometrie werden jedoch diese Multi-Emitter-Transistoren so hergestellt, daß sie eine inverse Stromverstärkung von $\beta_{\text{invers}} < 0,1$ besitzen. Deshalb muß der Kollektorstrom $I_{C\text{invers}}$ kleiner als 0,1 I_B sein. Bei $I_B = 0,8\text{ mA}$ könnten dann maximal 80 μA als Strom I_{IH} fließen. Laut Datenblatt beträgt jedoch I_{IH} unter worst-case-Bedingungen maximal 40 μA . Daraus folgt, daß β_{invers} kleiner als 0,05 sein muß. Für einen Transistor gilt außerdem die Strombilanz $I_E = I_B + I_C$. Für unser Beispiel ergibt sich, daß sich der Basisstrom von T_2 aus dem Basisstrom von T_1 plus den beiden Kollektorströmen von T_1 zusammensetzt. Damit ist auch T_2 voll durchgesteuert.

Nun taucht die Frage auf, welchen Vorteil der Multi-Emitter-Transistor bei TTL gegenüber dem Diodengatter bei DTL besitzt. Bisher haben wir nur die beiden statischen Eingangszustände betrachtet (A bzw. A und B liegen an L- oder A und B liegen an H-Pegel). Bei diesen beiden Zuständen ergeben sich keine Vorteile gegenüber DTL. Im Gegenteil ist sogar der Strom I_{IH} um den Faktor 4 größer als bei DTL. Der entscheidende Vorteil zeigt sich im dynamischen Verhalten der Schaltung, d.h. in der geringeren Ein- und Ausschaltverzögerungszeit. Wie ist dies zu erklären?

Wenn ein Transistor bis in die Sättigung durchgesteuert wird, dann wird sein Basisraum sehr stark mit Ladungsträgern überschwemmt. Es bildet sich eine Ladung, die mit der Ladung eines Kondensators zu vergleichen ist. Soll jetzt ein voll durchgesteuerter Transistor durch einen Impuls an der Basis gesperrt werden, so wirkt diese Ladung dem Sperrimpuls entgegen. Zunächst muß die Basisladung abgebaut werden, bevor der Transistor in den Sperrzustand überwechseln kann. Dies führt zu einer Schaltverzögerung, die die maximale Schaltfrequenz des Transistors reduziert.

Betrachten wir nun den Transistor T_2 in Abb. 12.2.2.3. Dieser ist bei $A = B = H$ voll durchgesteuert. Wird jetzt ein Eingang (oder auch beide) nach L umgeschaltet, so wechselt Transistor T_1

**Gegentakt-
endstufe**

von Invers- auf Normalbetrieb. Aufgrund der jetzt vorhandenen großen Stromverstärkung von T_1 kann in ihm ein großer Kollektorstrom fließen. Dadurch wird die überschüssige Basisladung im Transistor T_2 sehr schnell abgebaut, d.h., T_2 wird sehr schnell vom leitenden in den gesperrten Zustand geschaltet. Außerdem ist noch zu berücksichtigen, daß beim Multi-Emitter-Transistor keine Ausräumzeiten für die Basisladung anfallen. Wie schon erklärt wurde, wird dieser Transistor nur vom Normal- in den Inversbetrieb und umgekehrt geschaltet. In die Basis von T_1 fließt aber in beiden Fällen ein bestimmter Strom I_B , so daß sehr schnell umgeschaltet werden kann. Obwohl T_1 im besprochenen Fall (ein oder beide Eingänge an L-Pegel) voll durchgesteuert ist, muß bei einer Umschaltung der beiden Eingänge zurück auf H-Pegel nicht erst die Basisladung von T_1 ausgeräumt werden. Der Transistor wird jetzt invers betrieben, wobei aufgrund der sehr geringen Stromverstärkung B_{invers} in T_2 praktisch der gleiche Basisstrom wie in T_1 fließt.

Zusammenfassend kann zum Eingangsteil von TTL-Standardgattern folgendes gesagt werden: Das charakteristische Merkmal dieser Logikfamilie ist der Multi-Emitter-Transistor im Eingangskreis. Dieser wird je nach logischem Zustand an den Eingängen normal oder invers betrieben. Bedingt durch die Umschaltung der Betriebsart fallen hierbei keine Ausräumzeiten an. Dieser Transistor bewirkt außerdem, daß der nachfolgende Transistor sehr schnell gesperrt werden kann, da beim Umschaltvorgang dessen Basisladung sehr schnell ausgeräumt wird.

Ein Unterschied gegenüber der im Abschnitt 12.2.1. besprochenen DTL-Familie besteht auch in der Ausgangsstufe. Während beim DTL-Standardgatter der Kollektor des Ausgangstransistors über einen relativ hochohmigen Widerstand mit U_{CC} verbunden ist, liegt beim TTL-Standardgatter eine Gegentaktendstufe vor. Die Arbeitsweise wird anhand von Abb. 12.2.2.4. näher erläutert.

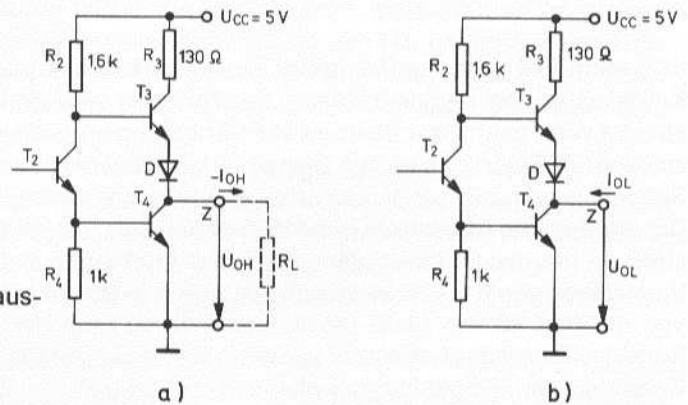


Abb. 12.2.2.4.
Arbeitsweise einer TTL-Standardausgangsstufe
a) H-Pegel am Ausgang
b) L-Pegel am Ausgang

Betrachten wir zunächst den Zustand a: Wenn T_2 gesperrt ist, kann auch kein Basisstrom in T_4 fließen, so daß Transistor T_4 ebenfalls gesperrt ist. Über den Widerstand $R_2 = 1,6 \text{ k}\Omega$ kann aber ein Basisstrom in T_3 fließen, so daß dieser Transistor leitend wird. Bei angeschlossener Last R_L fließt somit der Ausgangs-H-Strom $-I_{OH}$. Die Abhängigkeit der Ausgangs-H-Spannung U_{OH} vom Strom $-I_{OH}$ zeigt Abb. 12.2.2.5.

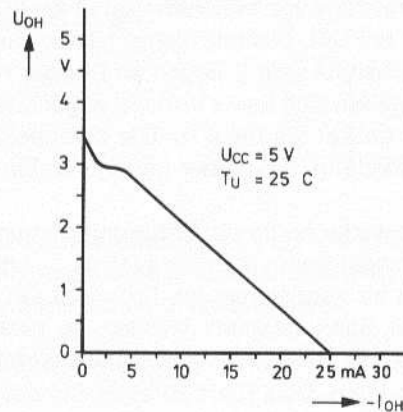


Abb. 12.2.2.5.
Ausgangs-H-Spannung U_{OH} in Abhängigkeit vom Ausgangs-H-Strom $-I_{OH}$

Aus der Kennlinie geht hervor, daß ohne Belastung ($-I_{OH} = 0$) U_{OH} ca. 3,4 V beträgt. Der Spannungsabfall von 1,6 V gegenüber $U_{CC} = 5 \text{ V}$ ist durch geringe Restströme bedingt.

Bis zu $-I_{OH} \approx 0,4 \text{ mA}$ wird T_3 noch nicht in Sättigung betrieben. Erst bei Ausgangsströmen, die über $0,4 \text{ mA}$ liegen, ist ein linearer Zusammenhang zwischen U_{OH} und $-I_{OH}$ gegeben. Ab diesem Strom gelangt T_3 in die Sättigung, so daß praktisch nur noch der Kollektorwiderstand $R_3 = 130 \Omega$ den Ausgangswiderstand (Innenwiderstand im H-Zustand) der Schaltung bestimmt.

Betrachten wir nun den Ausgangs-L-Zustand (Abb. 12.2.2.4.b): Liegt an beiden Eingängen H-Pegel, ist Transistor T_2 leitend. Damit kann ein Basisstrom in T_4 fließen, so daß dieser Transistor ebenfalls leitend wird. An seinem Kollektor steht nur noch die geringe Sättigungsspannung von typisch $0,2 \text{ V}$. Transistor T_3 ist jetzt gesperrt, da an seiner Basis nur eine Spannung von ca. $0,8 \text{ V}$ steht ($U_{BE} \approx 0,6 \text{ V}$ von T_4 plus $U_{CEsat} \approx 0,2 \text{ V}$ von T_2). Zum Leiten wären aber ca. $1,4 \text{ V}$ erforderlich ($U_{CEsat} \approx 0,2 \text{ V}$ von T_4 plus $U_F \approx 0,6 \text{ V}$ von Diode D plus $U_{BE} \approx 0,6 \text{ V}$ von T_3). Die Abhängigkeit der Ausgangs-L-Spannung U_{OL} vom Strom I_{OL} zeigt Abb. 12.2.2.6.

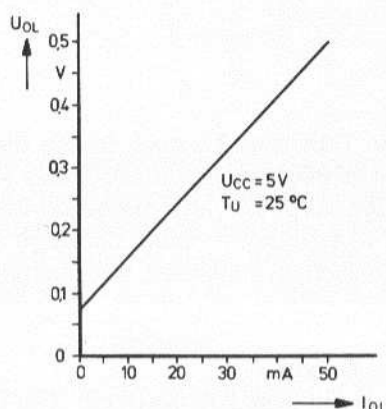


Abb. 12.2.2.6.
Ausgangs-L-Spannung U_{OL} in Abhängigkeit vom Strom I_{OL}

Welchen Vorteil hat nun diese Ausgangskonfiguration gegenüber der eines DTL-Standardgatters?

Werden an einen Gatterausgang Eingänge von nachfolgenden Bausteinen angeschlossen, so ergeben sich unvermeidbare Kapazitäten (Leitungen, Bauelemente usw.), die bei jedem Zustandswechsel umgeladen werden müssen. Der Umladevorgang kann um so schneller ablaufen, je niederohmiger die Ansteuerung erfolgt. Beim DTL-Standardgatter hat der Kollektorwiderstand – dieser wird im technischen Sprachgebrauch vielfach mit **pull-up-Widerstand** bezeichnet – einen Wert von $6 \text{ k}\Omega$. Beim Zustandswechsel des Ausganges von L nach H muß die Um- bzw. Aufladung der vorhandenen Kapazitäten über diesen Widerstand erfolgen, wodurch eine Verzögerung eintritt. Aus Belastungsgründen kann aber der pull-up-Widerstand nicht beliebig niederohmig gewählt werden. Im Ausgangs-L-Zustand muß der Ausgangstransistor zusätzlich zum Strom I_{OL} auch einen Strom von $+U_{CC}$ über den pull-up-Widerstand ziehen. Dadurch ist ein Kompromiß zwischen Schaltgeschwindigkeit und Belastung erforderlich.

**pull-up-
Widerstand**

Beim TTL-Standardgatter dagegen ist bei U_{OL} (Ausgang L) nur der Transistor T_4 leitend. Dadurch fließt über T_4 nur der Eingangs-L-Strom ($-I_{IL}$) der angeschlossenen Eingänge (siehe Abb. 12.2.2.2.). Beim Zustandswechsel von L nach H kommt hierbei der niederohmige pull-up-Kreis zur Geltung, d.h. der Um- bzw. Aufladevorgang der externen Kapazitäten kann sehr schnell erfolgen.

Die Diode D im Ausgangskreis dient zur Potentialverschiebung. Damit ist sichergestellt, daß im statischen Betrieb T_3 gesperrt ist, wenn T_4 leitet.

Der Vorteil dieser Ausgangsstufe ist die große Schaltgeschwindigkeit. Sie weist jedoch einige Nachteile auf, die der Anwender auf jeden Fall zu berücksichtigen hat.

Erfolgt aufgrund der Eingangssignale ein Zustandswechsel des Ausganges von L nach H, so ist (bedingt durch die Abschaltverzögerung) Transistor T_4 noch leitend, wenn T_3 bereits leitend geworden ist. Dies bedeutet, daß kurzzeitig beide Transistoren leitend sind und intern ein relativ großer Strom fließen kann. Diese kurzen Stromspitzen (engl.: current spikes) können zu einer hochfrequenten Verseuchung der Masse- und Betriebsspannungszuleitungen führen und damit Störungen in einem digitalen System hervorrufen. Schaltungstechnisch lassen sich derartige Spannungseinbrüche durch **Stützkondensatoren** zwischen dem U_{CC} - und dem Masseanschluß jedes ICs verringern. Als Stützkondensatoren sollen induktionsarme und niederohmige Keramik- oder aber Tantal-Elektrolytkondensatoren verwendet werden. Außer-

**Stütz-
kondensator**

Kurzschlußfestigkeit

dem ist zu beachten, daß diese Kondensatoren mit möglichst kurzen Anschlüssen (Induktivität!) in die Schaltung eingelötet werden.

Ein wesentlicher Punkt ist noch die Kurzschlußfestigkeit des Ausganges von TTL-Standard-schaltkreisen. Es besteht grundsätzlich die Möglichkeit, den Ausgang Z direkt mit Masse oder mit $+U_{CC}$ zu verbinden. In beiden Fällen kann aufgrund der Eingangssignale der Ausgang intern auf H- oder L-Pegel geschaltet sein. Wir wollen die sich ergebenden Möglichkeiten untersuchen:

1. Kurzschluß des Ausganges nach $+U_{CC}$

Ausgang führt H-Pegel (T_3 leitend, T_4 gesperrt):

Es kann kein Strom fließen. Somit besteht keine Gefahr für den IC.

Ausgang führt L-Pegel (T_3 gesperrt, T_4 leitend):

Es kann ein Strom von $U_{CC} = 5\text{ V}$ über den jetzt leitenden Transistor T_4 nach Masse fließen. Dieser Strom kann einen Wert von ca. 250 mA einnehmen, so daß dabei der IC zerstört werden kann.

2. Kurzschluß des Ausganges nach Masse

Ausgang führt H-Pegel (T_3 leitend, T_4 gesperrt):

Es kann jetzt von $U_{CC} = 5\text{ V}$ ein Strom über den Transistor T_3 nach Masse fließen. Der 130- Ω -Kollektorwiderstand – er hat die Aufgabe eines Begrenzungswiderstandes – begrenzt diesen Strom jedoch, so daß der IC nicht gefährdet wird. Der jetzt fließende Strom kann maximal 55 mA betragen. Sind dagegen in einem IC-Gehäuse mehrere derartige Ausgänge vorhanden, so darf jeweils nur ein Ausgang diesen Kurzschluß aufweisen, da sonst die Gesamtverlustleistung des ICs überschritten wird.

Ausgang führt L-Pegel (T_3 gesperrt, T_4 leitend):

Es kann kein Strom fließen. Für den IC besteht keine Gefahr.

Wegen des niedrigen Ausgangswiderstandes im H-Zustand läßt sich mit TTL-Standardausgängen auch keine wired-AND- bzw. wired-OR-Verknüpfung realisieren. Man versteht hierunter, daß die Verknüpfung von 2 oder mehreren Gatterausgängen eine verdrahtete UND- bzw. eine verdrahtete ODER-Verknüpfung ergibt. Dies wird an einem Beispiel mit 2 DTL-Gattern erläutert (Abb. 12.2.2.7.).

wired-AND wired-OR

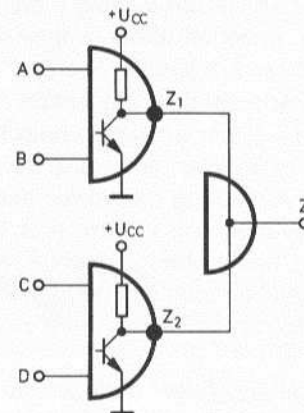


Abb. 12.2.2.7.

Erläuterung der wired-AND- bzw. wired-OR-Verknüpfung

Für den Ausgang Z_1 des oberen NAND-Gatters gilt die Beziehung $Z_1 = \overline{A \cdot B}$, für Z_2 die Beziehung $Z_2 = \overline{C \cdot D}$. Werden nun beide Ausgänge direkt miteinander verbunden, so kann der gemeinsame Ausgang Z nur log. 1 liefern, wenn die Eingänge Z_1 und Z_2 auch log. 1 sind. Ist ein Eingang log. 0 (Masse), dann ist auch der Ausgang $Z = 0$. Es gilt somit:

$$\begin{aligned} Z &= Z_1 \cdot Z_2 \\ Z &= \overline{A \cdot B} \cdot \overline{C \cdot D} \quad \text{wired-AND} \end{aligned}$$

Nach de Morgan läßt sich dieser Ausdruck auch wie folgt darstellen:

$$\begin{aligned} Z &= \overline{A \cdot B \cdot C \cdot D} \quad \text{wired-AND} \\ Z &= \overline{(A \cdot B) + (C \cdot D)} \quad \text{wired-OR} \end{aligned}$$

In diesem Ausdruck steckt eine ODER-Verknüpfung, so daß auch die Bezeichnung wired-OR berechtigt ist. In der Fachliteratur findet man beide Bezeichnungen für diese Art der Verknüpfung. Bei Anwendung der wired-AND-Funktion ergeben sich vielfach Schaltungsver-

einfachungen. Damit jedoch bei Verwendung von TTL-Bausteinen nicht unbedingt auf diese Möglichkeiten verzichtet werden muß, werden bestimmte TTL-Bausteine mit offenem Kollektor angeboten (Abb. 12.2.2.8.).

**offener
Kollektor**

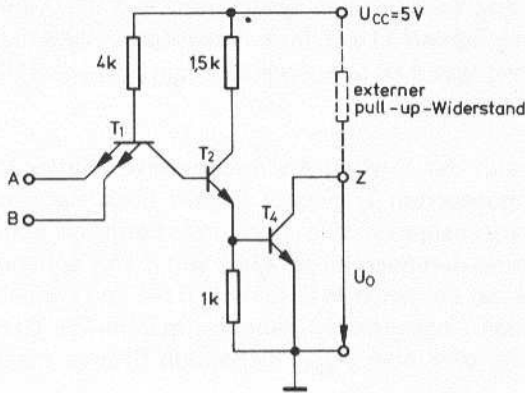


Abb. 12.2.2.8. TTL-Gatter mit offenem Kollektor

Abgesehen von der Endstufe liegt der normale Aufbau eines TTL-Standardgatters vor. Ohne externen pull-up-Widerstand kann der Ausgang Z keine H-Pegel einnehmen. Mit externem pull-up-Widerstand arbeitet die Endstufe analog zur DTL-Technik.

In Abb. 12.2.2.9. wird an einem Beispiel gezeigt, wie 3 NAND-Gatter über einen externen Widerstand miteinander wired-AND-verknüpft sind.

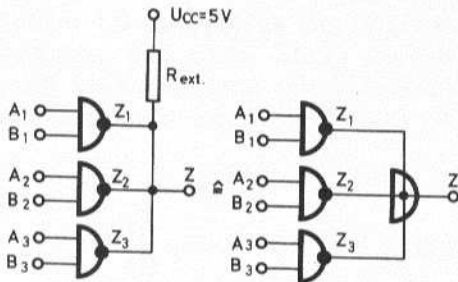


Abb. 12.2.2.9. Wired-AND-Verknüpfung von 3 TTL-NAND-Gattern mit offenem Kollektor

Die Funktionsgleichung für diese Schaltung lautet:

$$Z = \overline{A_1 \cdot B_1 \cdot A_2 \cdot B_2 \cdot A_3 \cdot B_3} \quad \text{wired-AND}$$

$$Z = (A_1 \cdot B_1) + (A_2 \cdot B_2) + (A_3 \cdot B_3) \quad \text{wired-OR}$$

Die Dimensionierung von R_{ext} ist abhängig von der Anzahl der ansteuernden Gatter und der anzusteuern Eingänge. Dabei muß von folgenden Überlegungen ausgegangen werden:

Ausgangszustand L

Im L-Zustand darf laut Datenblatt maximal ein Strom von 16 mA fließen [$I_{OL(max)} = 16 \text{ mA}$]. Entsprechend dem Beispiel (Abb. 12.2.2.10.) darf die Summe aus dem Strom über R_{ext} . und sämtlichen Eingangsströmen $-I_{IL}$ den Wert von 16 mA nicht überschreiten.

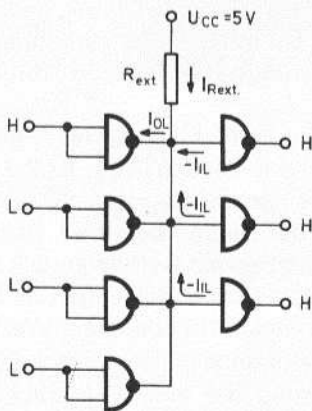


Abb. 12.2.2.10. Wired-AND-Verknüpfung mit Ausgangszustand L

Der Eingangs-L-Strom $-I_{IL}$ beträgt laut Datenblatt 1,6 mA (worst-case-Bedingungen). Bei 3 angeschlossenen Eingängen sind das insgesamt 4,8 mA. Damit darf der Strom $I_{R_{ext}}$ noch $16 \text{ mA} - 4,8 \text{ mA} = 11,2 \text{ mA}$ betragen. U_{OL} kann unter worst-case-Bedingungen bei I_{OL} maximal 0,4 V betragen. Bei $U_{CC} = 5 \text{ V}$ fällt also an R_{ext} eine Spannung von $5 \text{ V} - 0,4 \text{ V}$ ab. Das ergibt bei $I_{R_{ext}} = 11,2 \text{ mA}$ einen Widerstand von 410Ω . Im L-Ausgangszustand muß in diesem Beispiel R_{ext} **mindestens** einen Wert von 410Ω aufweisen [$R_{ext.(min)} = 410 \Omega$].

Ausgangszustand H

Im H-Zustand ist jeweils der Ausgangstransistor der 4 wired-AND-verknüpften Gatter (Abb. 12.2.2.10.) gesperrt. Aber auch bei einem gesperrten Transistor fließen noch Restströme I_{CEX} , die unter worst-case-Bedingungen pro Ausgangsstufe 0,25 mA betragen können. Bei 4 Ausgangsstufen können diese Restströme demnach einen Wert von 1 mA annehmen. Außerdem fließt über R_{ext} noch die Summe der Eingangs-H-Ströme I_{IH} , die laut Datenblatt $40 \mu\text{A}$ pro Eingang betragen können. Die minimale Ausgangs-H-Spannung muß bei TTL-Gattern 2,4 V betragen. Daraus folgt, daß die Summe aller über R_{ext} fließenden Ströme maximal einen Spannungsabfall von

$$U_{R_{ext}} = U_{CC} - U_{OH(min)}$$

$$U_{R_{ext}} = 5 \text{ V} - 2,4 \text{ V} = 2,6 \text{ V}$$

hervorrufen dürfen.

Bei einem Gesamtstrom von

$$I_{R_{ext}} = 4 I_{CEX} + 3 I_{IH}$$

$$I_{R_{ext}} = 4 \cdot 250 \mu\text{A} + 3 \cdot 40 \mu\text{A} = 1120 \mu\text{A}$$

errechnet sich $R_{ext.(max)}$ zu:

$$R_{ext.(max)} = \frac{U_{R_{ext}}}{I_{R_{ext}}}$$

$$R_{ext.(max)} = \frac{2,6 \text{ V}}{1120 \mu\text{A}} \approx 2,3 \text{ k}\Omega$$

Der gewählte Wert für den externen pull-up-Widerstand muß für dieses Beispiel zwischen 410Ω und $2,3 \text{ k}\Omega$ liegen.

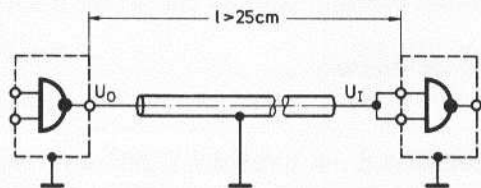
Außer den bisher angesprochenen Stromspitzen während des Umschaltvorganges (engl.: current spikes) und den Kurzschlußproblemen des Ausgangs muß der Anwender von TTL-Schaltkreisen noch folgenden grundsätzlichen Punkt berücksichtigen: Aufgrund innerer Verkopplungen sind beim Wechsel des Schaltzustandes viele TTL-Schaltkreise nicht stabil. Verläuft dieser Zustandswechsel zu langsam, so kann es zu Schwingungen kommen, die dann zu Störungen in einem digitalen System führen. Um diese Schwingungen auf jeden Fall zu vermeiden, dürfen die Ansteuersignale eine minimale Flankensteilheit nicht **unterschreiten**. Bei Gatterbausteinen soll die Anstiegs- bzw. Abfallzeit der Eingangssignale $< 1 \mu\text{s}$ sein. Bei FFs in TTL-Technik liegen die minimalen Anstiegs- bzw. Abfallzeiten für die Flanken des Taktimpulses zwischen 25 und 500 ns je nach Art des FFs.

Die schnellen Schaltflanken bei TTL-Schaltkreisen bringen noch ein weiteres Problem mit sich. Werden 2 Gatter entsprechend Abb. 12.2.2.11.a über einfache Drähte, gedruckte Leiterbahnen oder auch Koaxialkabel mit einer Länge $> 25 \text{ cm}$ miteinander verbunden, so können Überschwingungen auftreten, die in Verbindung mit Leitungsreflexionen zu Störungen führen.

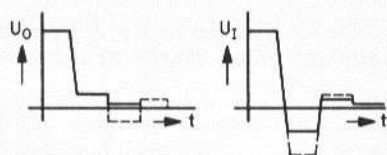
Abb. 12.2.2.11.b zeigt, wie durch eine 1→0-Flanke von U_O am Eingang des angeschlossenen Gatters ein Überschwingen von U_I entsteht. Ohne Clamping-Dioden (Abb. 12.2.2.11.c) würde der strichliert eingezeichnete Wert entstehen. Durch die bereits integrierten Dioden wird diese negative Spannung auf den Wert der Flußspannung der Dioden begrenzt. Durch Reflexion gelangt diese Überschwingung auf den Ausgang des treibenden Gatters zurück und von hier wieder auf die Gattereingänge usw., bis sie durch Verluste ganz abgeklungen ist. Bei größeren Leitungslängen und ohne Clamping-Dioden kann die reflektierte Spannung Werte erreichen, die den Wert $U_{IL(max)}$ überschreiten und somit zu einem ungewollten Umschaltvorgang des angeschlossenen Gatters führen. Durch die Begrenzung der ersten Überschwingung auf ca. 0,7 V durch die Clamping-Dioden werden Leitungsreflexionen wirksam begrenzt.

**Flanken-
steilheit**

**Clamping-
Diode**

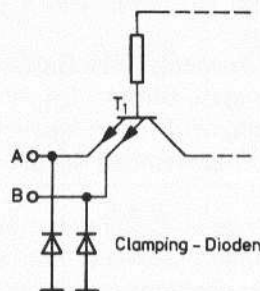


a)



— mit Clamping - Dioden
 - - - ohne Clamping - Dioden

b)



c)

Abb. 12.2.2.11.

Leitungsreflexionen

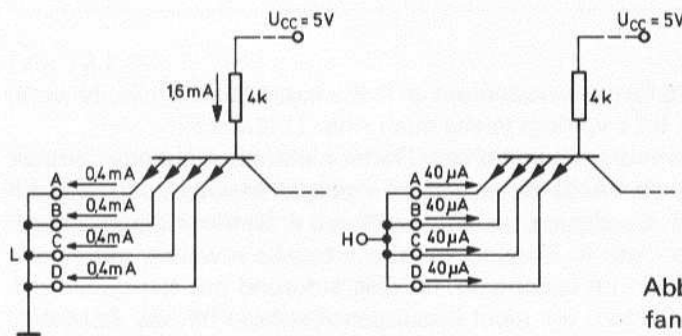
a) Verbindung von 2 Gattern

b) auftretende Reflexionen mit und ohne Clamping-Dioden

c) TTL-Eingangskreis mit Clamping-Dioden

fan-in und fan-out von TTL-Standard-Gattern

Es wurde bereits erwähnt, daß unter worst-case-Bedingungen der Eingangs-L-Strom $-I_{IL}$ eines Gatters 1,6 mA beträgt. Der typische Wert dagegen liegt bei 1 mA. Hierbei ist zu berücksichtigen, daß dieser Strom unabhängig von der Anzahl der Gattereingänge ist. Werden z.B. bei einem Gatter mit 4 Eingängen alle Eingänge an L-Pegel gelegt, so fließt pro Eingang ein maximaler Strom von $1,6 \text{ mA} : 4 = 0,4 \text{ mA}$ (Abb. 12.2.2.12.a).



a)

b)

Abb. 12.2.2.12.

fan-in bei TTL-Standardgattern

a) Eingangs-L-Strom

b) Eingangs-H-Strom

fan-in

Beim Eingangs-H-Zustand dagegen kann pro Eingang maximal ein Strom $I_{IH(max)}$ von $40 \mu\text{A}$ fließen (typisch $10 \mu\text{A}$). Bei 4 Eingängen im H-Zustand können also insgesamt $4 \cdot 40 \mu\text{A} = 160 \mu\text{A}$ fließen. Dieser Punkt ist für die Anwendung sehr wichtig. In vielen Fällen kann in einer Schaltung z.B. noch über ein Gatter mit 4 Eingängen verfügt werden, obwohl nur ein Gatter mit beispielsweise 2 Eingängen benötigt wird. Es könnten dann je 2 Eingänge miteinander verbunden werden, um insgesamt ein Gatter mit 2 Eingängen zu erhalten (Abb. 12.2.2.13.).

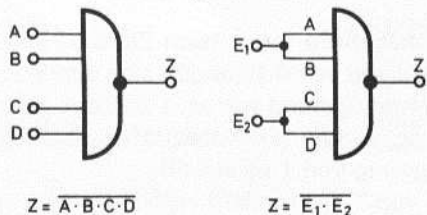


Abb. 12.2.2.13.

Verbinden von Eingängen bei einem NAND-Gatter

Werden, wie in der rechten Darstellung gezeigt, die Eingänge A und B zum Eingang E_1 sowie die Eingänge C und D zum Eingang E_2 miteinander verbunden, so beträgt im H-Zustand der Strom I_{IH} für beide Eingänge je maximal $80 \mu\text{A}$. Dies bedeutet, daß E_1 sowie E_2 im

fan-out

H-Zustand ein fan-in von 2 LE haben. Auf dieses Problem werden wir später noch näher eingehen.

Für den Ausgang eines Gatters gelten z.B. folgende Werte:

– Ausgangs-L-Strom $I_{OL} = 16 \text{ mA}$

– Ausgangs-H-Strom $-I_{OH} = 800 \text{ }\mu\text{A}$

Da eine H-Lasteinheit $40 \text{ }\mu\text{A}$ und eine L-Lasteinheit $1,6 \text{ mA}$ betragen, ergibt sich folgendes fan-out:

– Ausgangs-H-Zustand: fan-out = 20 LE

– Ausgangs-L-Zustand: fan-out = 10 LE

Da immer der kleinere Wert entscheidend ist, dürfen demnach an einem Ausgang 10 Eingänge angeschlossen werden. Beispielsweise ist es auch möglich, 10 Gatter mit je 2 Eingängen, die entsprechend Abb. 12.2.2.12. miteinander verbunden sind, an einem Ausgang anzuschließen (Abb. 12.2.2.14. links).

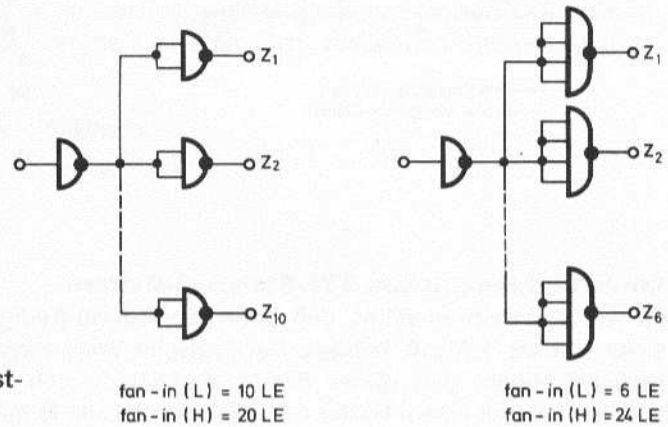


Abb. 12.2.2.14.

Beispiele zum Ein- und Ausgangslastfaktor

Im rechten Beispiel dagegen wird bei 6 Gattern das fan-out im H-Zustand überschritten, obwohl im L-Zustand nur eine Belastung mit 6 LE vorliegt (siehe auch Abb. 12.2.2.12.).

In der Praxis kommt es immer wieder vor, daß von einem Gatter nicht alle Eingänge benutzt werden. Wird z.B. in einer Schaltung ein NAND-Gatter mit 3 Eingängen benötigt, und es steht noch ein Gatter mit 4 Eingängen zur Verfügung, so können 3 von 4 Gattereingängen ganz regulär belegt werden. Der nicht benutzte 4. Eingang kann, wie bereits erwähnt, mit einem der 3 Eingänge verbunden werden (fan-out beachten!). Ist dies aufgrund des fan-outs nicht möglich, so können z.B. bei NAND-Gattern die nicht benutzten Eingänge mit der Betriebsspannung U_{CC} verbunden werden. Hierbei ist jedoch zu berücksichtigen, daß eine direkte Verbindung mit $+U_{CC}$ nur dann erfolgen darf, wenn die Versorgungsspannung auf maximal $5,5 \text{ V}$ begrenzt ist. Kann die Versorgungsspannung diesen Wert überschreiten, so muß der Gattereingang über einen Widerstand von 1 bis $5 \text{ k}\Omega$ mit U_{CC} verbunden werden. Dieser Widerstand dient zur Strombegrenzung, wenn bei höheren Spannungen ein Durchbruch der Basis-Emitter-Strecke einsetzt.

Rein theoretisch könnten bei NAND-Gattern nicht benutzte Eingänge einfach offen gelassen werden. Da ein offener Eingang keinen Stromfluß zuläßt, entspricht er dem logischen H-Zustand. Diese Methode hat in der Praxis jedoch folgende Nachteile:

- Der offene Eingang wirkt für Stromimpulse als Antenne, so daß ein fehlerhaftes Verhalten der Schaltung eintreten könnte.
- Die Emitter eines Multi-Emitter-Transistors haben im stromlosen Zustand eine Kapazität von ca. 1 pF . In Verbindung mit dem Basiswiderstand von $4 \text{ k}\Omega$ ergibt sich eine Zeitkonstante, die beim Umschalten von 0 auf 1 zu einer Signalverzögerung von ca. 1 ns führt. Sind bei einem Gatter mehrere offene Eingänge vorhanden, so wirken die Kapazitäten parallelgeschaltet, so daß pro offenem Eingang eine Signalverzögerung von 1 ns eintritt.

Im folgenden sind die wichtigsten Kenndaten von TTL-Standard-NAND-Gattern zusammengefaßt (Tab. 12.2.2.1.).

Alle angegebenen typischen Werte gelten bei einer Umgebungstemperatur T_U von $25 \text{ }^\circ\text{C}$ und einer Betriebsspannung von $U_{CC} = 5 \text{ V}$. Die maximal zulässige Versorgungsspannung beträgt $U_{CC} = 7 \text{ V}$. Hinsichtlich der Versorgungsspannung ist außerdem zu berücksichtigen, daß diese einen Wert von $U_{CC} = -0,5 \text{ V}$ nicht unterschreiten darf. Sonst werden bestimmte

Meßwert	Meßbedingung	untere Grenze	typisch	obere Grenze
Eingang-H-Spannung U_{IH}	$U_{CC} = 4,75 \text{ V}$	2,0 V		
Eingang-L-Spannung U_{IL}	$U_{CC} = 4,75 \text{ V}$			0,8 V
Ausgangs-H-Spannung U_{OH}	$U_{CC} = 4,75 \text{ V}$ $U_{IL} = 0,8 \text{ V}$ $I_{OH} = -400 \mu\text{A}$	2,4 V	3,4 V	
Ausgangs-L-Spannung U_{OL}	$U_{CC} = 4,75 \text{ V}$ $U_{IH} = 2,0 \text{ V}$ $I_{OL} = 16 \text{ mA}$		0,2 V	0,4 V
Eingangs-L-Strom $-I_{IL}$	$U_{CC} = 5,25 \text{ V}$ $U_{IL} = 0,4 \text{ V}$			1,6 mA
Eingangs-H-Strom I_{IH}	$U_{CC} = 5,25 \text{ V}$ $U_{IH} = 5,5 \text{ V}$ $U_{IH} = 2,4 \text{ V}$			1,0 mA 40 μA
Verzögerungszeiten t_{pd} t_{pd+} t_{pd-}	$C_L = 15 \text{ pF}$ $R_L = 400 \Omega$ $U_{CC} = 5 \text{ V}$ $T_U = 25 \text{ }^\circ\text{C}$		11 ns 7 ns	22 ns 15 ns
F_o F_i				10 LE 1 LE

Tab. 12.2.2.1.
Die wichtigsten Kenndaten von TTL-Standard-NAND-Gattern

Transistor- und Diodenstrecken in Durchlaßrichtung betrieben, so daß der IC zerstört werden kann. Die in den Datenbüchern angegebenen oberen und unteren Grenzwerte der einzelnen Parameter gelten für eine Betriebsspannung zwischen 4,75 V und 5,25 V.

Gehäuse von TTL-Standardgattern

TTL-Standardgatter werden vorwiegend in Dual-in-Line-Gehäusen mit 14 oder 16 Anschlüssen geliefert. Die mechanischen Abmessungen dieser beiden Gehäuse zeigt Abb. 12.2.2.15.

Dual-in-Line

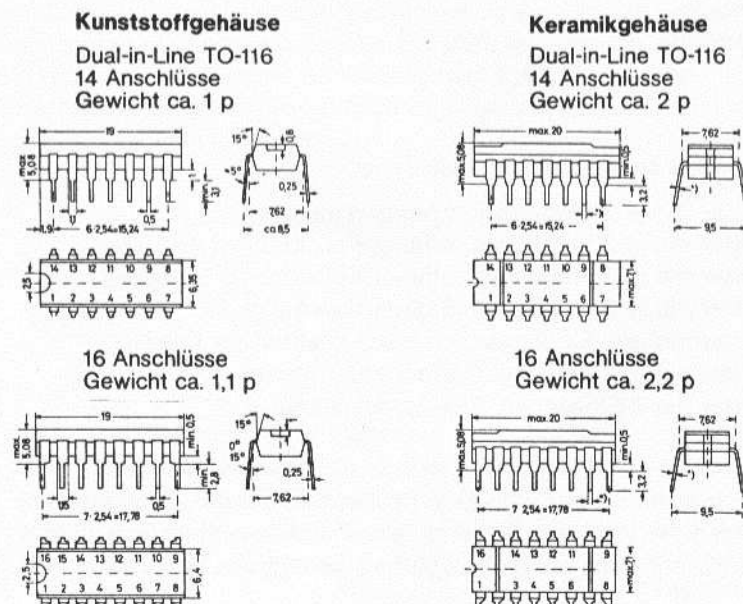


Abb. 12.2.2.15.
Dual-in-Line-Gehäuse

Temperaturbereich

NAND

Im Gegensatz zur Anschlußbezeichnung von Transistoren werden bei ICs die Anschlüsse in Gehäuse-Draufsicht angegeben. Die Numerierung beginnt dabei links von der kleinen Einkerbung an der Stirnseite des Gehäuses.

Bezeichnungen und Temperaturbereiche

Die meisten Halbleiterhersteller bezeichnen die unterschiedlichen Bausteine mit einheitlichen 4- oder 5stelligen Zahlen. Vor dieser Zahl steht meistens noch eine firmenspezifische Bezeichnung (z.B.: MIC = ITT Intermetall, SN = Texas Instruments, MC = Motorola usw.). Die ersten beiden Ziffern der Zahl geben Auskunft über den Umgebungstemperaturbereich der Schaltung. Eine besondere praktische Bedeutung haben ICs mit den Bereichen

- 74 ... : $T_U = 0$ bis $+75$ °C und
- 54 ... : $T_U = -55$ bis $+125$ °C (militärische Anwendungen)

erlangt.

Darüber hinaus werden von einigen Herstellern noch ICs mit den Bereichen

- 64 ... : $T_U = -40$ bis $+85$ °C
- 84 ... : $T_U = -25$ bis $+85$ °C

angeboten.

Die letzten 2 oder 3 Ziffern spezifizieren den jeweiligen Schaltungstyp. In der TTL-Serie 54.../74... werden bereits über 200 verschiedene Bausteine angeboten. Eine Auswahl vielfach verwendeter NAND-Gatter zeigt Abb. 12.2.2.16.

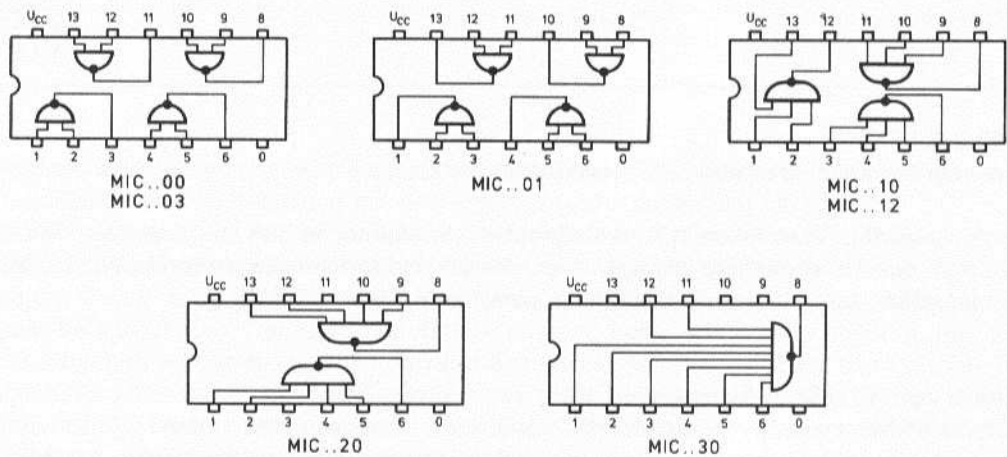


Abb. 12.2.2.16. Auswahl einiger TTL-NAND-Bausteine

Bei den dargestellten Gattern handelt es sich um folgende Typen:

- MIC .. 00: 4 NAND-Gatter mit je 2 Eingängen, Standardausgang
- MIC .. 01: 4 NAND-Gatter mit je 2 Eingängen, offener Kollektor am Ausgang
- MIC .. 03: 4 NAND-Gatter mit je 2 Eingängen, offener Kollektor am Ausgang
- MIC .. 10: 3 NAND-Gatter mit je 3 Eingängen, Standardausgang
- MIC .. 12: 3 NAND-Gatter mit je 3 Eingängen, offener Kollektor am Ausgang
- MIC .. 20: 2 NAND-Gatter mit je 4 Eingängen, Standardausgang
- MIC .. 30: 1 NAND-Gatter mit 8 Eingängen, Standardausgang

Das Typenspektrum der TTL-Serie 54.../74... umfaßt jedoch nicht nur NAND-Gatter. Das Angebot dieser Serie reicht vom Inverter bis zu komplexen Rechenschaltungen. Es würde den Rahmen dieses Lehrheftes sprengen, wenn wir alle Typen näher behandeln wollten. Aus diesem Grunde werden in Abb. 12.2.2.17. nur noch einige im Lehrheft behandelte Schaltungen als TTL-Bausteine vorgestellt.

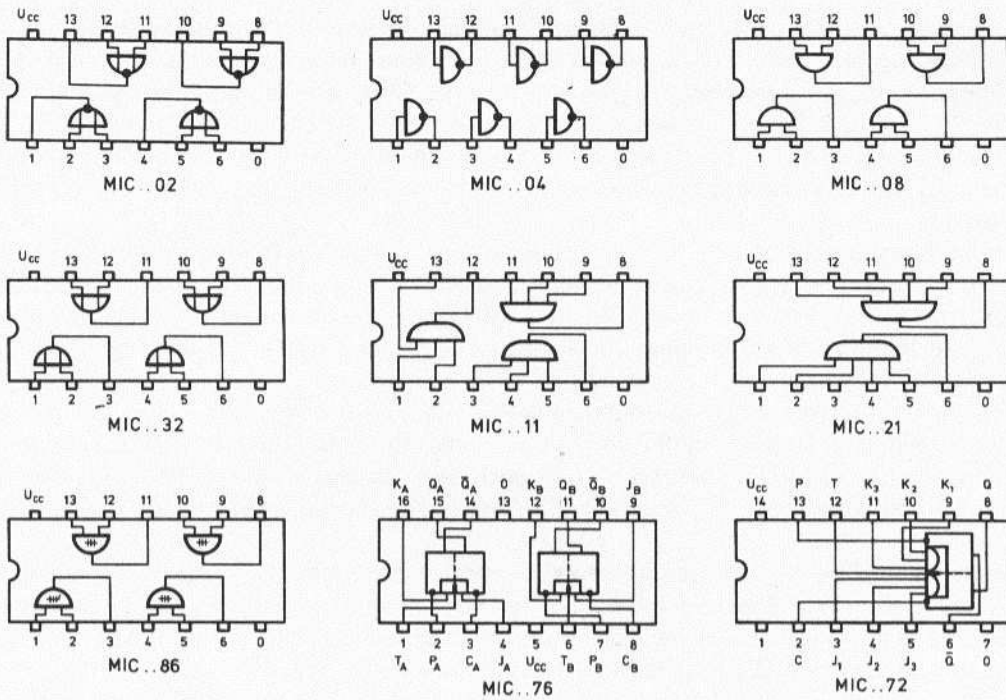


Abb. 12.2.2.17.
Auswahl einiger Schaltungen aus der TTL-Serie 54 .. /74 ..

Unterfamilien

Einigen Herstellerfirmen bieten außer der Standardserie 54 .. /74 .. auch noch von dieser abweichende Serien an. Sie unterscheiden sich von der Standardserie durch geringe Verlustleistung (low-power-TTL) oder durch eine größere Schaltgeschwindigkeit (high-speed-TTL). Eine noch größere Schaltgeschwindigkeit als die high-speed-TTL-Serie weist die Schottky-TTL-Serie auf. Die einzelnen Daten der o.g. TTL-Unterfamilien können aus dem jeweiligen Datenbuch entnommen werden.

12.2.3. Emitter-gekoppelte Logik (ECL)

Die ECL-Familie gehört zur Gruppe der nichtgesättigten Logikfamilien. Im Gegensatz zu DTL und TTL, die beide zur Gruppe der gesättigten Logikfamilien gehören, werden die Transistoren nicht im Sättigungs-, sondern im aktiven Arbeitsbereich betrieben. Wird der Sättigungszustand eines Transistors vermieden, so entfallen die überschüssigen Basisladungen, die den Hauptfaktor einer niedrigeren Schaltgeschwindigkeit ausmachen. Man erreicht mit dieser Technik Verzögerungszeiten, die bei ca. 1 ns liegen. In Abb. 12.2.3.1. ist das Grundprinzip der Gatter in ECL-Technik dargestellt.

ECL

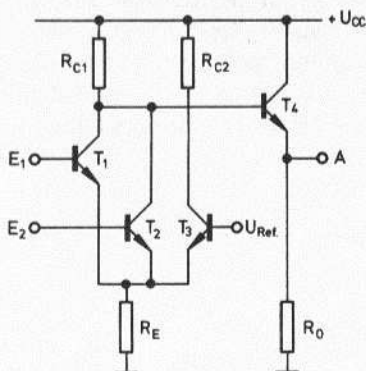


Abb. 12.2.3.1.
Prinzipschaltung der Gatter in ECL-Technik

Durch Anwendung des Differenzverstärkerprinzips sind die Eingangstransistoren T_1 und T_2 **Emitter-gekoppelt**. Hierdurch hat diese Familie ihren Namen bekommen. Außerdem sind die Emitter der Eingangstransistoren mit dem Emitter eines **Referenztransistors** T_3 verbunden. Der für T_1 , T_2 und T_3 gemeinsame Emitterwiderstand ist so hoch gewählt, daß er als Konstantstromquelle wirkt. Dies bedeutet, daß die Summe der Emitterströme von T_1 , T_2 und T_3 konstant ist. Mit einer Referenzspannung U_{Ref} , an der Basis von T_3 werden die logischen Schwellen festgelegt.

Liegen die Eingänge E_1 und E_2 an einer Spannung nahe Massepotential, so sind T_1 und T_2 gesperrt. Der gesamte Strom muß somit über den Transistor T_3 fließen. An den miteinander verbundenen Kollektoren von T_1 und T_2 steht jetzt praktisch die Spannung $+U_{CC}$, wodurch auch am Ausgang A eine Spannung von nahezu $+U_{CC}$ steht, da T_4 voll durchgesteuert ist.

Liegt dagegen einer der Eingänge (oder beide) an einer Spannung nahe $+U_{CC}$, übernimmt einer (oder beide) der Transistoren T_1 und T_2 den Emitterstrom. Dadurch sinkt das gemeinsame Kollektorpotential an T_1 , T_2 stark ab, so daß auch der Ausgang A eine niedrigere Spannung führt. Aufgrund dieses Verhaltens erfüllt dieses Grundgatter bei positiver Logik eine NOR-Funktion.

Die Vorteile der ECL-Familie liegen in der extrem hohen Schaltgeschwindigkeit. Nachteilig ist eine relativ große Verlustleistung und ein kleinerer Störspannungsabstand.

In Tab. 12.2.3.1. sind zum Abschluß die charakteristischen Kenndaten der im Abschnitt 12. behandelten integrierten Digitalschaltungen zusammengefaßt.

		DTL	TTL 54../74..	TTL (HS)	TTL (LP)	TTL (Schottky)	ECL
Betriebsspannung	V	5,0	5,0	5,0	5,0	5,0	5,2
Fan-out		8	10	10	10	10	10
Störspannungs- abstand	V	1,0	1,0	1,0	1,0	1,0	0,35
Verzögerungs- zeiten	ns	34	10	7	33	3	1
Maximale Arbeitsfrequenz	MHz	6,5	12,5	18	2,5	80	300
Leistungsaufnahme je Grundgatter	mW	8,5	15	22,5	0,9	19	55
Leistungsauf- nahme je FF	mW	42	50	80	6	75	220

Tab. 12.2.3.1.

Charakteristische Eigenschaften integrierter Digitalschaltungen

Schlußwort

Sie haben in diesem Lehrheft die wichtigsten Grundlagen der digitalen Elektronik kennengelernt. Anhand vieler Versuche hatten Sie die Möglichkeit, die erlernte Theorie praktisch zu untermauern. Selbstverständlich konnten nur wesentliche Schwerpunkte eingehend behandelt werden. Speziell zu den einzelnen Logikfamilien ist zu sagen, daß die sich immer stärker verbreitende MOS-Technologie nicht angesprochen wurde. Der Grund hierfür ist, daß mit dieser Technologie vorwiegend komplexere Schaltungen realisiert werden, die im Lehrheft nicht behandelt werden konnten. Außerdem müssen zum Verständnis dieser Schaltkreise zuerst die allgemeinen physikalischen Grundlagen von Feldeffekttransistoren bekannt sein.

Fragen zu Abschnitt 12.

1. Was sagt der Logikpegel $U_{IH(\min)}$ einer integrierten Schaltung aus?
2. Wie groß ist der Störspannungsabstand bei H- und L-Pegel beim Hintereinanderschalten von 2 Gattern der gleichen Logikfamilie, für die die Werte $U_{IL(\max)} = 1\text{ V}$, $U_{OL(\max)} = 0,4\text{ V}$, $U_{IH(\min)} = 2,2\text{ V}$ und $U_{OH(\min)} = 3\text{ V}$ angegeben sind?
3. Was kann der Anwender den Angaben der Verzögerungszeiten t_{pd-} und t_{pd+} von ICs entnehmen?
4. Welche Aufgabe haben die Hubdioden bei DTL-Gattern?
5. Welche Logikschaltung wird als Grundgatter bei DTL- und TTL-Bausteinen verwendet?
6. Wie wird beim TTL-Grundgatter die Eingangsschaltung (UND-Funktion) realisiert?
7. Wie wird der Multi-Emitter-Transistor betrieben, wenn seine Emitteranschlüsse an H-Pegel liegen?
8. Wie können Spannungseinbrüche verringert werden, die beim Umschalten des log. Ausgangszustands von TTL-Standardgattern von L nach H entstehen?
9. Bei welchem log. Zustand ist der Ausgang eines TTL-Standardgatters nicht kurzschlußfest?
10. Warum ist mit TTL-Standardgattern keine wired-AND- bzw. wired-OR-Verknüpfung möglich?
11. Ein TTL-Gatter hat folgende Datenblattwerte:
 $I_{IL(\max)} = 2,5\text{ mA}$; $I_{IH(\max)} = 600\text{ }\mu\text{A}$; $I_{OL(\max)} = 27\text{ mA}$; $I_{OH(\max)} = 25\text{ mA}$
Mit wie vielen Eingängen des gleichen Gattertyps darf der Ausgang belastet werden, d.h., wie groß ist das fan-out?
12. Welche Vor- und Nachteile hat die Emitter-gekoppelte Logik?

Antworten zu den Fragen für Abschnitt 12.

1. Der Logikpegel $U_{IH(\min)}$ sagt aus, daß bis zu dem für $U_{IH(\min)}$ in den Datenblättern angegebene Spannungswert von der integrierten Schaltung noch als H-Pegel erkannt wird.

$$\begin{aligned} U_{\text{Stör(H)}} &= U_{OH(\min)} - U_{IH(\min)} = 3 \text{ V} - 2,2 \text{ V} = 0,8 \text{ V} \\ U_{\text{Stör(L)}} &= U_{IL(\max)} - U_{OL(\max)} = 1 \text{ V} - 0,4 \text{ V} = 0,6 \text{ V} \end{aligned}$$

3. Die Verzögerungszeit ist ein wichtiges Kriterium für die maximal zu verarbeitende Signalfrequenz der ICs. Sind die Verzögerungszeiten t_{pd-} und t_{pd+} unterschiedlich, wird die längste Zeit bei der Berechnung der maximal zu verarbeitenden Signalfrequenz berücksichtigt.

4. Die in DTL-Gattern eingebauten Hubdioden verbessern den Störspannungsabstand. D.h., die Eingangsspannung $U_{IL(\max)}$ wird um die Durchlaßspannung der Hubdiode erhöht, und damit vergrößert sich auch der Störspannungsabstand [$U_{\text{Stör(L)}} = U_{IL(\max)} - U_{OL(\max)}$].

5. Bei den DTL- und TTL-Bausteinen wird als Grundgatter die NAND-Funktion verwendet.

6. Die UND-Funktion des TTL-Grundgatters wird durch einen Multi-Emitter-Transistor realisiert.

7. Liegen alle Eingänge (Emitteranschlüsse) an H-Pegel, wird der Multi-Emitter-Transistor invers betrieben.

8. Spannungseinbrüche, die beim Umschalten des Ausgangs von TTL-Gattern von L nach H entstehen, können durch den Einbau von Stützkondensatoren zwischen dem $+U_{CC}$ und dem Masseanschluß des ICs verringert werden.

9. Führt der Ausgang eines TTL-Gatters L-Pegel, ist er bei einem Kurzschluß gegen $+U_{CC}$ nicht kurzschlußfest. D.h., der IC wird zerstört.

10. Wegen des niedrigen Ausgangswiderstandes im H-Zustand läßt sich mit TTL-Standardgattern keine wired-AND- bzw. wired-OR-Verknüpfung durchführen.

11. fan-out im H-Zustand:

$$F_o = \frac{I_{OH(\max)}}{I_{IH(\max)}} = \frac{25 \text{ mA}}{0,6 \text{ mA}} \approx 42$$

fan-out im L-Zustand:

$$F_o = \frac{I_{OL(\max)}}{I_{IL(\max)}} = \frac{27 \text{ mA}}{2,5 \text{ mA}} = 10,8$$

$$F_o = 10$$

Das maximal mögliche fan-out dieses Gatters wird somit durch die zulässige Belastung im L-Zustand bestimmt. Es beträgt $F_o = 10$, d.h., maximal können 10 Eingänge von einem Ausgang gleichzeitig angesteuert werden.

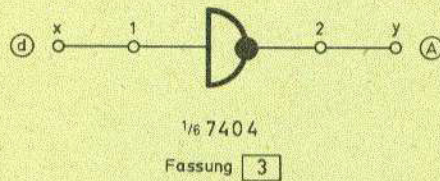
12. Der Vorteil der ECL-Familie liegt in der extrem hohen Schaltgeschwindigkeit, mit der diese ICs betrieben werden können. Nachteile sind die relativ große Verlustleistung und der kleine Störspannungsabstand.

Durchführung der Experimente mit dem ITT Digi-Trainer

Alle Experimente werden mit integrierten Schaltkreisen der TTL-Standardserie 74... durchgeführt. Hinweise über die Stromversorgung des ITT Digi-Trainers sowie das Einsetzen der Experimentier-ICs in die Fassungen finden Sie in der Bedienungsanleitung.

Bei den einzelnen Experimenten sind nur die Logiksymbole der verwendeten Funktionen angegeben. Außerdem wird angegeben, um welchen Baustein es sich handelt. So bedeutet z.B. die Bezeichnung 2 x 1/4 7432, daß 2 von 4 Gattern des Bausteins 7432 (es handelt sich um ein 4faches ODER-Gatter) verwendet werden.

An einem einfachen Beispiel wird die Bezeichnungsweise der Experimente näher erläutert:



Es handelt sich um **ein** NICHT-Gatter von 6 Gattern des Bausteins 7404. Dieser Baustein ist in die Experimentierfassung 3 zu stecken. Der Eingang x (Anschlußstift 1) ist über ein Verbindungskabel mit Punkt d des Digi-Trainers zu verbinden. Der Ausgang y (Anschlußstift 2) ist mit Punkt A des Digi-Trainers zu verbinden. Steht der sich unterhalb der Anschlüsse d und \bar{d} befindende Schiebeschalter in der unteren Stellung, so liegt an d log. 0 und an \bar{d} log. 1. Die Leuchtdiode (LED) leuchtet in diesem Fall nicht. Wird der Schalter in die obere Stellung geschoben, kehren sich die beiden Zustände um, und die LED leuchtet. Dieses Verhalten trifft auch für die Punkte a, b und c bzw. \bar{a} , \bar{b} und \bar{c} zu. Der logische Zustand des mit Punkt A verbundenen Ausgangs y der Anordnung wird durch die LED unter Punkt A angezeigt. Leuchtet die LED, liegt an A log. 1, sonst log. 0. Dies trifft auch für die Stufen B, C und D zu.

Die in den Versuchen angegebenen Funktionstabellen sollen vom Teilnehmer ergänzt werden. Ebenso sollte der Teilnehmer versuchen, die Erkenntnisse aus den Experimenten selbst zu formulieren. Die Lösungshinweise zu jedem Experiment befinden sich auf der Rückseite der maigrünen Experimentierblätter.

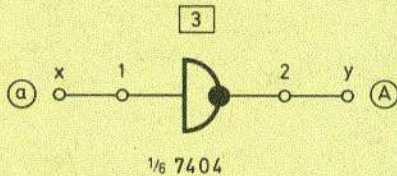
Wichtiger Hinweis:

Bevor Sie mit dem Experimentieren beginnen, sollten Sie unbedingt die Abschnitte „Die Stromversorgung des ITT Digi-Trainers“ und „Hinweise für die Anwendung“ in der Bedienungsanleitung sorgfältig durchlesen.

Die Anschlußbilder der in diesem Lehrheft verwendeten ICs befinden sich auf der Innenseite der letzten Umschlagseite der Bedienungsanleitung. Bitte beachten Sie, daß die ICs auch an die Betriebsspannung angeschlossen werden müssen (U_{CC} an +5 V, 0 an Masse).

Logische Grundverknüpfungen

Experiment 1: NICHT-Verknüpfung



x	y
0	
1	

y =

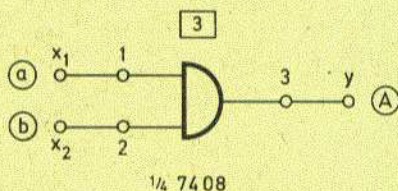
Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

Experiment 2: UND-Verknüpfung



x ₂	x ₁	y
0	0	
0	1	
1	0	
1	1	

y =

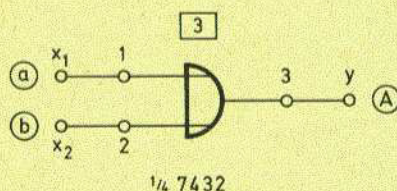
Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

Experiment 3: ODER-Verknüpfung



x ₂	x ₁	y
0	0	
0	1	
1	0	
1	1	

y =

Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

Lösung zu Experiment 1:**Funktionstabelle:**

x	y
0	1
1	0

Funktionsgleichung:

$$y = \bar{x}$$

Erkenntnis:

Die Ausgangsvariable y erscheint invertiert zur Eingangsvariablen x.

Lösung zu Experiment 2:**Funktionstabelle:**

x ₂	x ₁	y
0	0	0
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

$$y = x_1 \cdot x_2$$

Erkenntnis:

Die Ausgangsvariable y weist nur dann den log. Zustand y = 1 auf, wenn die Eingangsvariablen x₁ UND x₂ den log. Zustand 1 aufweisen.

Lösung zu Experiment 3:**Funktionstabelle:**

x ₂	x ₁	y
0	0	0
0	1	1
1	0	1
1	1	1

Funktionsgleichung:

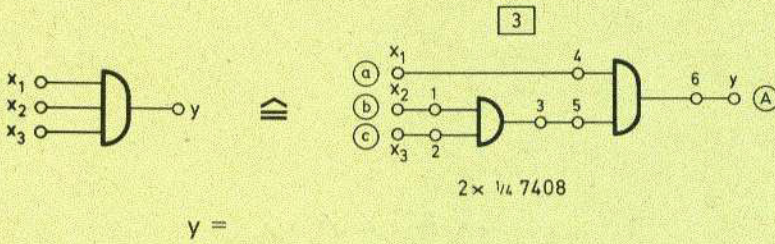
$$y = x_1 + x_2$$

Erkenntnis:

Die Ausgangsvariable y weist dann den log. Zustand y = 1 auf, wenn mindestens eine Eingangsvariable den Zustand log. 1 aufweist. D.h., wenn x₁ ODER x₂ log. 1 ist.

Experiment 4: Assoziativgesetz

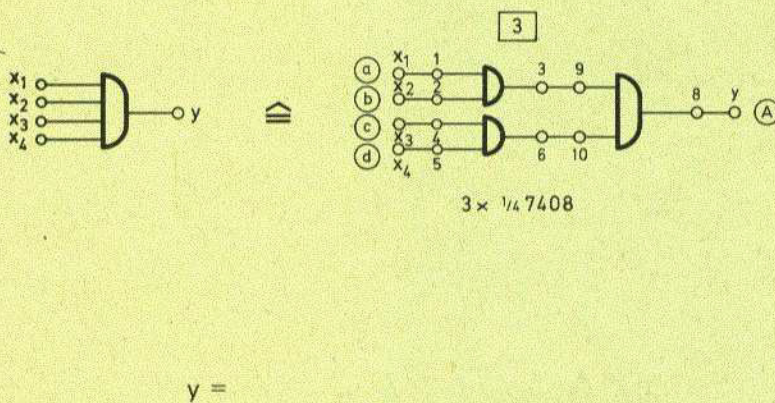
a1) UND-Verknüpfung



x ₃	x ₂	x ₁	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

a2)



x ₄	x ₃	x ₂	x ₁	y
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

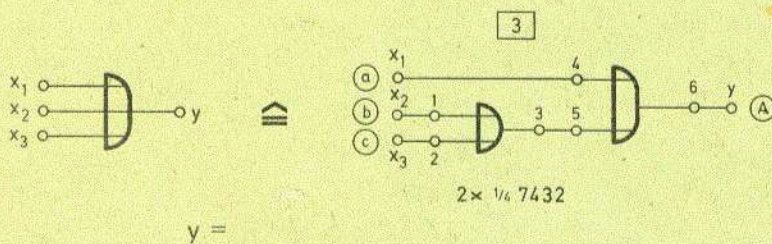
Zur Vertiefung des Assoziativgesetzes ist eine Logikschaltung mit 4 Eingangsvariablen aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus den beiden Experimenten erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

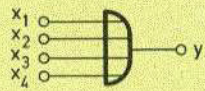
b1) ODER-Verknüpfung



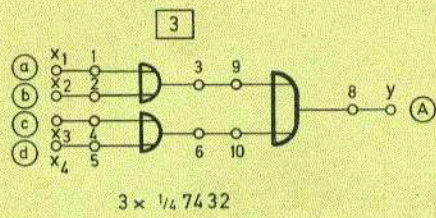
x ₃	x ₂	x ₁	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

b2)



≅



y =

x_4	x_3	x_2	x_1	y
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Zur Vertiefung des Assoziativgesetzes ist eine Logikschaltung mit 4 Eingangsvariablen aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus den beiden Experimenten erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

Lösungen zu Experiment 4:

a1) Funktionstabelle

x_3	x_2	x_1	y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Funktionsgleichung

$$y = x_1 \cdot (x_2 \cdot x_3) \triangleq x_1 \cdot x_2 \cdot x_3$$

a2) Funktionstabelle:

x_4	x_3	x_2	x_1	y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Funktionsgleichung:

$$y = (x_1 \cdot x_2) \cdot (x_3 \cdot x_4) \triangleq x_1 \cdot x_2 \cdot x_3 \cdot x_4$$

Erkenntnis:

Eine UND-Funktion mit mehr als 2 Eingangsvariablen kann durch mehrere UND-Gatter mit je 2 Eingangsvariablen realisiert werden.

b1) Funktionstabelle

x_3	x_2	x_1	y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Funktionsgleichung:

$$y = x_1 + (x_2 + x_3) \triangleq x_1 + x_2 + x_3$$

b2) Funktionstabelle:

x_4	x_3	x_2	x_1	y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Funktionsgleichung:

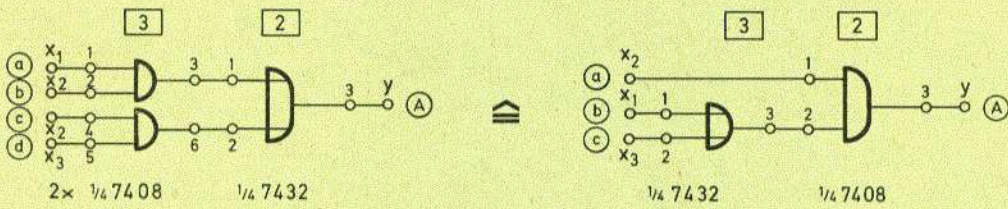
$$y = (x_1 + x_2) + (x_3 + x_4) \hat{=} x_1 + x_2 + x_3 + x_4$$

Erkenntnis:

Eine ODER-Funktion mit mehr als 2 Eingangsvariablen kann durch mehrere ODER-Gatter mit je 2 Eingangsvariablen realisiert werden.

Experiment 5: Distributivgesetz

a) UND-Verknüpfung



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

a₁)

x_3	x_2	x_1	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

$y =$

Als nächstes ist die rechts angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus den beiden Experimenten erhaltene Erkenntnis zu formulieren.

a₂)

x_3	x_2	x_1	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

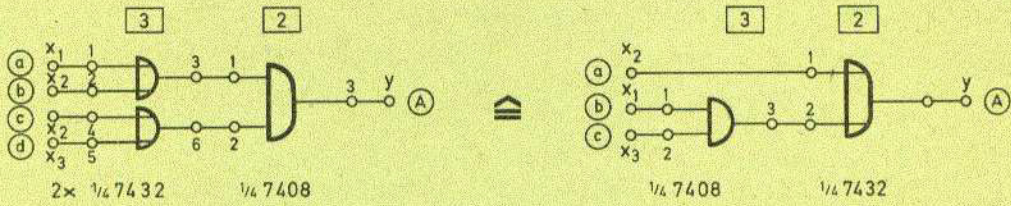
$y =$

Erkenntnis:

.....

.....

b) ODER-Verknüpfung



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

b1)

x ₃	x ₂	x ₁	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

y =

Als nächstes ist die rechts angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus den beiden Experimenten erhaltene Erkenntnis zu formulieren.

b2)

x ₃	x ₂	x ₁	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

y =

Erkenntnis:

.....

.....

Lösungen zu Experiment 5:

a1) Funktionstabelle:

x_3	x_2	x_1	y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Funktionsgleichung:

$$y = (x_1 \cdot x_2) + (x_2 \cdot x_3)$$

a2) Funktionstabelle:

x_3	x_2	x_1	y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Funktionsgleichung:

$$y = x_2 \cdot (x_1 + x_3)$$

Erkenntnis:

Die 2 konjunktiv verknüpfte Variable x_2 kann durch eine einzige konjunktiv verknüpfte Variable x_2 ersetzt werden.

b₁) Funktionstabelle:

x_3	x_2	x_1	y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Funktionsgleichung:

$$y = (x_1 + x_2) \cdot (x_2 + x_3)$$

b₂) Funktionstabelle:

x_3	x_2	x_1	y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Funktionsgleichung:

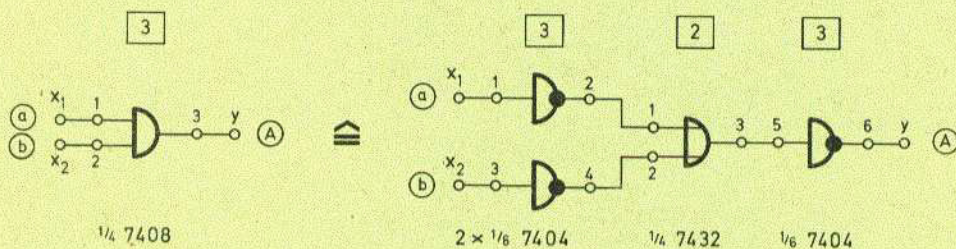
$$y = x_2 + (x_1 \cdot x_3)$$

Erkenntnis:

Die 2mal disjunktiv verknüpfte Variable x_2 kann durch eine einzige disjunktiv verknüpfte Variable x_2 ersetzt werden.

Experiment 6: Inversionsgesetz (de Morgan-Theorem)

a) Konjunktion in Disjunktion



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

a1)

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Als nächstes ist die rechts angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus den beiden Experimenten erhaltene Erkenntnis zu formulieren.

a2)

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

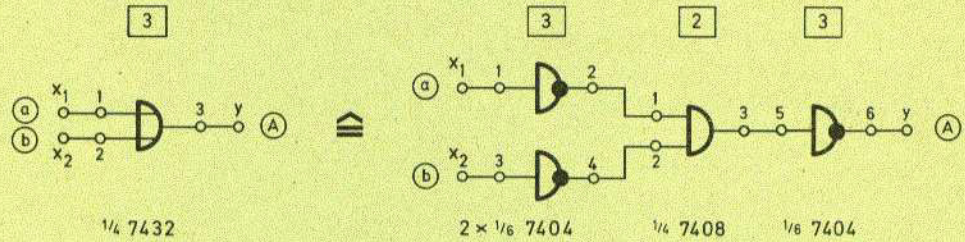
$y =$

Erkenntnis:

.....

.....

b) Disjunktion in Konjunktion



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Als nächstes ist die rechts angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus den beiden Experimenten erhaltene Erkenntnis zu formulieren.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Erkenntnis:

.....

.....

Lösungen zu Experiment 6:

a1) Funktionstabelle:

x_2	x_1	y
0	0	0
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

$$y = x_1 \cdot x_2$$

a2) Funktionstabelle:

x_2	x_1	y
0	0	0
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

$$y = \bar{x}_1 + \bar{x}_2$$

Erkenntnis:

Die UND-Verknüpfung kann durch 1 ODER-Gatter und 3 Inverter realisiert werden.

b₁) Funktionstabelle:

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	1

Funktionsgleichung:

$$y = x_1 + x_2$$

b₂) Funktionstabelle:

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	1

Funktionsgleichung:

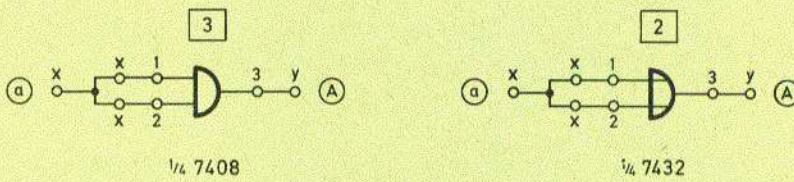
$$y = \bar{x}_1 \cdot \bar{x}_2$$

Erkenntnis:

Die ODER-Verknüpfung kann durch 1 UND-Gatter und 3 Inverter realisiert werden.

Experiment 7: Rechenregeln der Schaltalgebra

a) Mehrere gleich konjunktiv bzw. disjunktiv verknüpfte Variable x



Es ist zuerst die linke und anschließend die rechte Logikschaltung aufzubauen. Die ermittelten Schaltzustände der Ausgangsvariablen y sind in die linke bzw. rechte Funktionstabelle einzutragen und die Funktionsgleichungen aufzustellen. Anschließend ist die aus beiden Experimenten erhaltene Erkenntnis zu formulieren.

x	y
0	
1	

y =

x	y
0	
1	

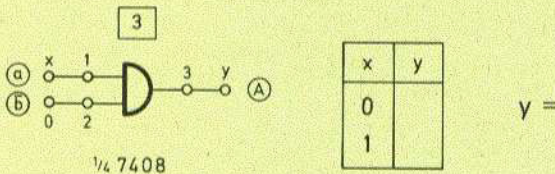
y =

Erkenntnis:

.....

.....

b) Konjunktive Verknüpfung der Variablen x mit log. 0



x	y
0	
1	

y =

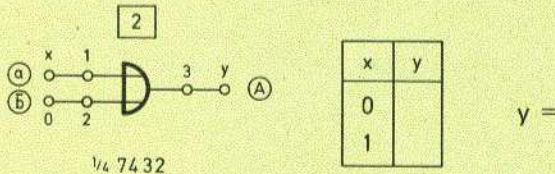
Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

c) Disjunktive Verknüpfung der Variable x mit log. 0



x	y
0	
1	

y =

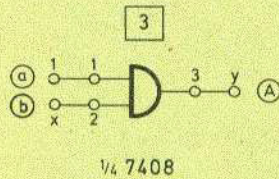
Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

d) Konjunktive Verknüpfung der Variablen x mit log. 1



x	y
0	
1	

y =

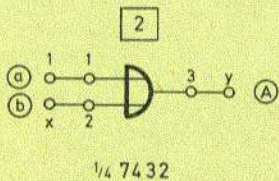
Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

e) Disjunktive Verknüpfung der Variablen x mit log. 1



x	y
0	
1	

y =

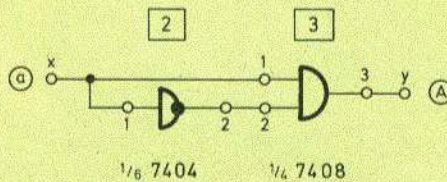
Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

f) Konjunktive Verknüpfung der Variablen x mit der Negation dieser Variablen



x	y
0	
1	

y =

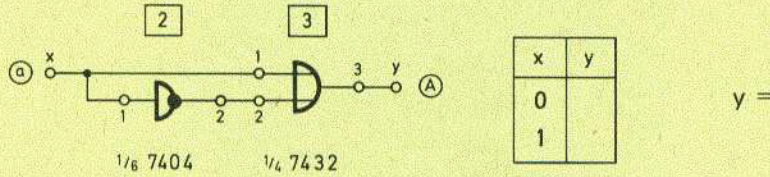
Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

g) Disjunktive Verknüpfung der Variablen x mit der Negation dieser Variablen



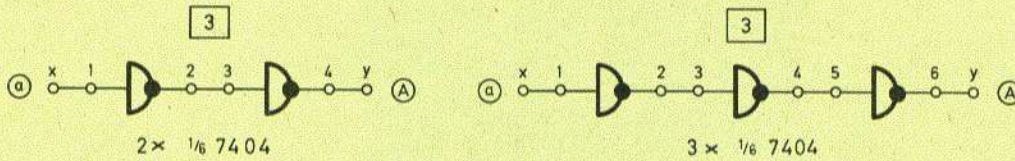
Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

h) Geradzahlige und ungeradzahlige Invertierung der Variablen x



Es ist zuerst die linke und anschließend die rechte Logikschaltung aufzubauen. Die ermittelten Schaltzustände der Ausgangsvariablen y sind in die linke bzw. rechte Funktionstabelle einzutragen und die Funktionsgleichungen aufzustellen. Anschließend ist die aus beiden Experimenten erhaltene Erkenntnis zu formulieren.

x	y
0	
1	

y =

x	y
0	
1	

y =

Erkenntnis:

.....

.....

Lösungen zu Experiment 7:

a) **Funktionstabelle:**

x	y
0	0
1	1

Funktionsgleichung:

$$y = x$$

Erkenntnis:

Mehrere gleiche konjunktiv bzw. disjunktiv verknüpfte Variable können durch eine einzige Variable dargestellt werden.

Funktionstabelle:

x	y
0	0
1	1

Funktionsgleichung:

$$y = x$$

b) **Funktionstabelle:**

x	y
0	0
1	0

Funktionsgleichung:

$$y = 0$$

Erkenntnis:

Die konjunktive Verknüpfung einer Variablen x mit 0 entspricht 0.

c) **Funktionstabelle:**

x	y
0	0
1	1

Funktionsgleichung:

$$y = x$$

Erkenntnis:

Die disjunktive Verknüpfung einer Variablen x mit 0 entspricht der Variablen x.

d) **Funktionstabelle:**

x	y
0	0
1	1

Funktionsgleichung:

$$y = x$$

Erkenntnis:

Die konjunktive Verknüpfung einer Variablen x mit 1 entspricht der Variablen x.

e) **Funktionstabelle:**

x	y
0	1
1	1

Funktionsgleichung:

$$y = 1$$

Erkenntnis:

Die disjunktive Verknüpfung einer Variablen x mit 1 entspricht 1.

f) **Funktionstabelle:**

x	y
0	0
1	0

Funktionsgleichung:

$$y = 0$$

Erkenntnis:

Die konjunktive Verknüpfung einer Variablen x mit der Negation dieser Variablen entspricht 0.

g) **Funktionstabelle:**

x	y
0	1
1	1

Funktionsgleichung:

$$y = 1$$

Erkenntnis:

Die disjunktive Verknüpfung einer Variablen x mit der Negation dieser Variablen entspricht 1.

h) **Funktionstabelle:**

x	y
0	0
1	1

Funktionstabelle:

x	y
0	1
1	0

Funktionsgleichung:

$$y = x$$

Funktionsgleichung:

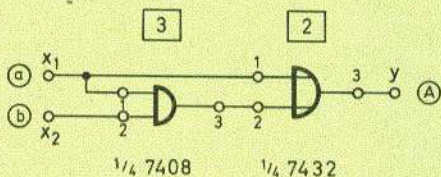
$$y = \bar{x}$$

Erkenntnis:

Wird eine logische Variable x geradzahlig invertiert, ist das Ergebnis die Ursprungsvariable x. Bei einer ungeradzahlig Invertierung der Variablen x ist das Ergebnis \bar{x} .

Experiment 8: Kürzungsregeln der Schaltalgebra

a) 1. Kürzungsregel



x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

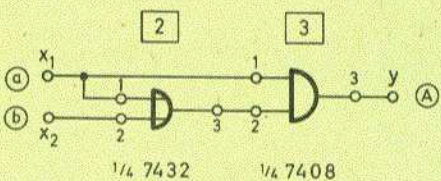
$y =$

Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

b) 2. Kürzungsregel



x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

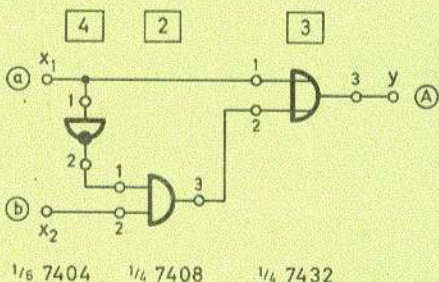
$y =$

Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

c) 3. Kürzungsregel



x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

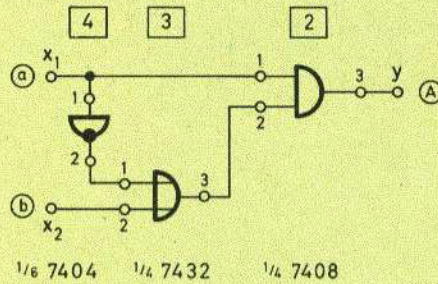
$y =$

Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

d) 4. Kürzungsregel



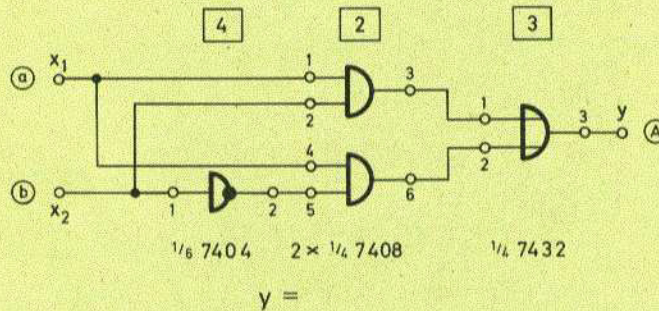
x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

e) 5. Kürzungsregel



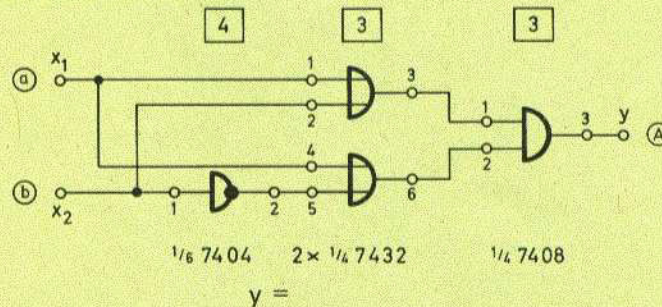
x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

f) 6. Kürzungsregel



x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

Lösungen zu Experiment 8:

a) Funktionstabelle:

x_2	x_1	y
0	0	0
0	1	1
1	0	0
1	1	1

Funktionsgleichung:

$$y = x_1 + (x_1 \cdot x_2) = x_1$$

Erkenntnis:

Die Variable x_2 hat keinen Einfluß auf den Zustand der Ausgangsvariablen y .

b) Funktionstabelle:

x_2	x_1	y
0	0	0
0	1	1
1	0	0
1	1	1

Funktionsgleichung:

$$y = x_1 \cdot (x_1 + x_2) = x_1$$

Erkenntnis:

Die Variable x_2 hat keinen Einfluß auf den Zustand der Ausgangsvariablen y .

c) Funktionstabelle:

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	1

Funktionsgleichung:

$$y = x_1 + (\bar{x}_1 \cdot x_2) = x_1 + x_2$$

Erkenntnis:

Die Gleichung $y = x_1 + (\bar{x}_1 \cdot x_2)$ kann durch eine ODER-Funktion $y = x_1 + x_2$ realisiert werden.

d) **Funktionstabelle:**

x_2	x_1	y
0	0	0
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

$$y = x_1 \cdot (\bar{x}_1 + x_2) = x_1 \cdot x_2$$

Erkenntnis:

Die Gleichung $y = x_1 \cdot (\bar{x}_1 + x_2)$ kann durch eine UND-Funktion $y = x_1 \cdot x_2$ ersetzt werden.

e) **Funktionstabelle:**

x_2	x_1	y
0	0	0
0	1	1
1	0	0
1	1	1

Funktionsgleichung:

$$y = (x_1 \cdot x_2) + (x_1 \cdot \bar{x}_2) = x_1$$

Erkenntnis:

Die Variable x_2 hat keinen Einfluß auf den Zustand der Ausgangsvariablen y .

f) **Funktionstabelle:**

x_2	x_1	y
0	0	0
0	1	1
1	0	0
1	1	1

Funktionsgleichung:

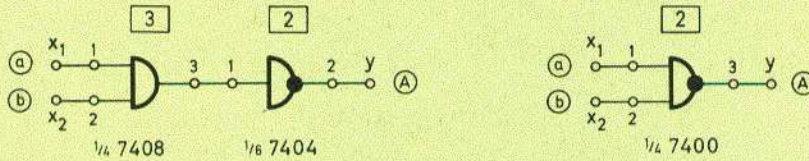
$$y = (x_1 + x_2) \cdot (x_1 + \bar{x}_2) = x_1$$

Erkenntnis:

Die Variable x_2 hat keinen Einfluß auf den Zustand der Ausgangsvariablen y .

Experiment 9: Erweiterte Logikfunktionen

a) NAND-Funktion



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

a1)

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Als nächstes ist die rechts angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus den beiden Experimenten erhaltene Erkenntnis zu formulieren.

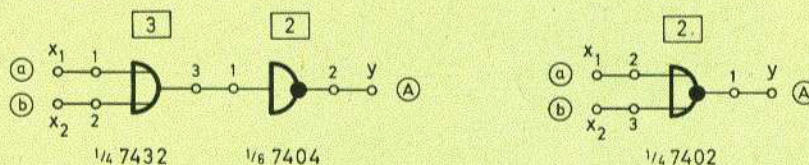
a2)

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Erkenntnis:

b) NOR-Funktion



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

b1)

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Als nächstes ist die rechts angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus den beiden Experimenten erhaltene Erkenntnis zu formulieren.

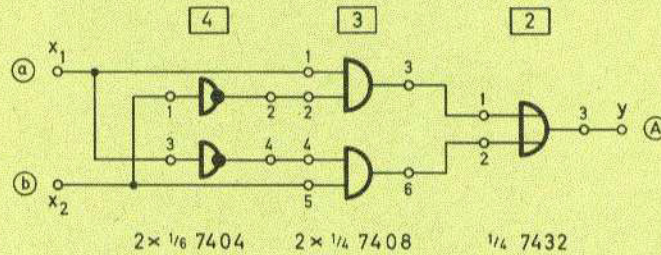
b2)

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Erkenntnis:

c) **ANTIVALENZ-Funktion**

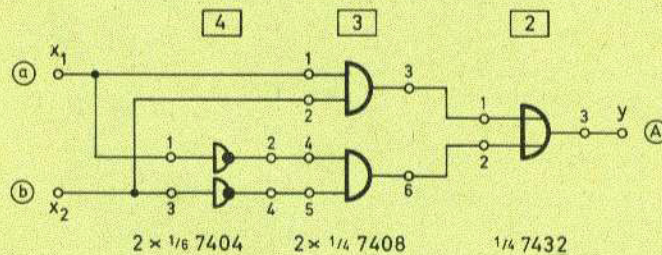


Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Erkenntnis:



Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Erkenntnis:

Lösungen zu Experiment 9:

a₁) Funktionstabelle:

x_2	x_1	y
0	0	1
0	1	1
1	0	1
1	1	0

Funktionsgleichung:

$$y = \overline{x_1} \cdot x_2$$

a₂) Funktionstabelle:

x_2	x_1	y
0	0	1
0	1	1
1	0	1
1	1	0

Funktionsgleichung:

$$y = x_1 \cdot \overline{x_2}$$

Erkenntnis:

Bei der NAND-Verknüpfung handelt es sich um eine UND-Verknüpfung mit nachgeschalteter NICHT-Funktion. Die Ausgangsvariable y ist immer dann 1, wenn mindestens **eine** Eingangsvariable den Wert 0 aufweist.

b₁) Funktionstabelle:

x_2	x_1	y
0	0	1
0	1	0
1	0	0
1	1	0

Funktionsgleichung:

$$y = \overline{x_1 + x_2}$$

b2) **Funktionstabelle:**

x_2	x_1	y
0	0	1
0	1	0
1	0	0
1	1	0

Funktionsgleichung:

$$y = \overline{x_1} + x_2$$

Erkenntnis:

Bei der NOR-Verknüpfung handelt es sich um eine ODER-Verknüpfung mit nachgeschalteter NICHT-Funktion. Die Ausgangsvariable ist nur dann 1, wenn **beide** Eingangsvariablen den Wert 0 haben.

c) **Funktionstabelle:**

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	0

Funktionsgleichung:

$$y = x_1 \cdot \overline{x_2} + \overline{x_1} \cdot x_2$$

Erkenntnis:

Die Ausgangsvariable y weist immer dann den Zustand 1 auf, wenn die beiden Eingangsvariablen einen **entgegengesetzten** Zustand aufweisen.

d) **Funktionstabelle:**

x_2	x_1	y
0	0	1
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

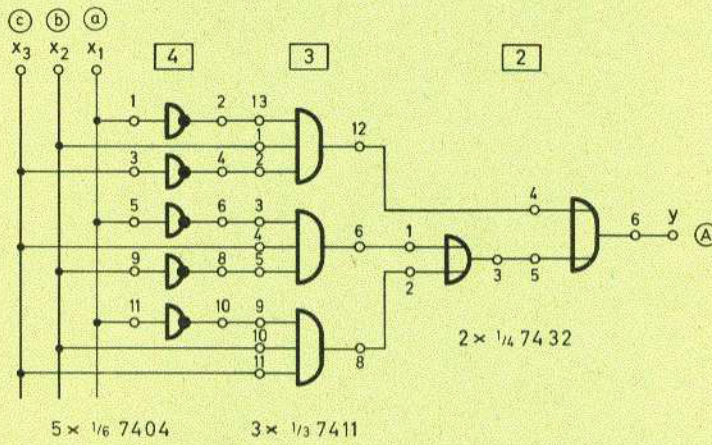
$$y = x_1 \cdot x_2 + \overline{x_1} \cdot \overline{x_2}$$

Erkenntnis:

Die Ausgangsvariable y weist immer dann den Zustand 1 auf, wenn beide Eingangsvariablen den **gleichen** Zustand aufweisen.

Experiment 10: Disjunktive Normalform

a)

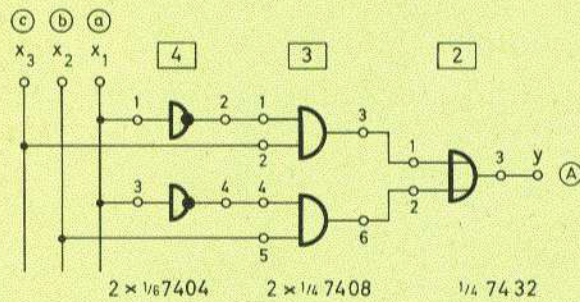


Als erstes ist die angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die angegebene Logikschaltung die Funktionsgleichung aufzustellen.

x_3	x_2	x_1	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

$y =$

b)



Als nächstes ist die mit weniger Bauelementen angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Für die angegebene Logikschaltung ist ebenfalls die Funktionsgleichung aufzustellen und die aus den beiden Experimenten erhaltene Erkenntnis zu formulieren.

x_3	x_2	x_1	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Erkenntnis:

.....

.....

Lösungen zu Experiment 10:a) **Funktionstabelle:**

x_3	x_2	x_1	y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Funktionsgleichung:

$$y = \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot x_2 \cdot x_3$$

b) **Funktionstabelle:**

x_3	x_2	x_1	y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Funktionsgleichung:

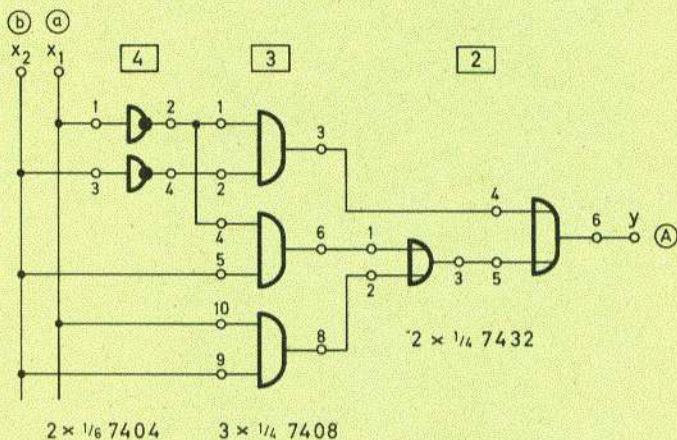
$$y = \bar{x}_1 \cdot x_2 + \bar{x}_1 \cdot x_3$$

Erkenntnis:

Die Logikschaltung b erfüllt mit erheblich weniger Bauelementen die gleiche Funktion wie die Logikschaltung a (siehe Abb. 8.1.2. und 8.1.3.).

Experiment 11: Schaltungsvereinfachung mit Hilfe von KV-Tafeln

a) 2 Eingangsvariable



Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen, sowie die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Mit Hilfe der KV-Tafel ist die vereinfachte Logikschaltung zu ermitteln und zu zeichnen. Außerdem ist die vereinfachte Funktionsgleichung aufzustellen.

	x_1	\bar{x}_1
x_2		
\bar{x}_2		

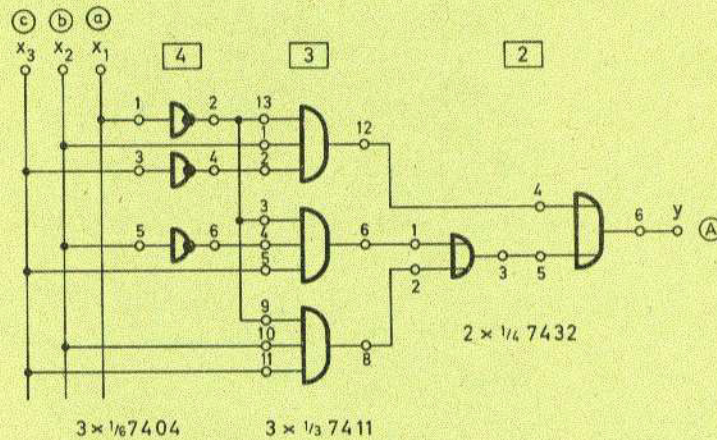
$y =$

vereinfachte Logikschaltung

Die ermittelte vereinfachte Logikschaltung ist aufzubauen und die jeweiligen Schaltzustände der Ausgangsvariablen y in die Funktionstabelle einzutragen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

b) 3 Eingangsvariable

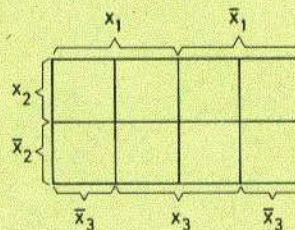


Die angegebene Logikschaltung ist aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen, sowie die Funktionsgleichung aufzustellen.

x_3	x_2	x_1	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

$y =$

Mit Hilfe der KV-Tafel ist die vereinfachte Logikschaltung zu ermitteln und zu zeichnen. Außerdem ist die vereinfachte Funktionsgleichung aufzustellen.



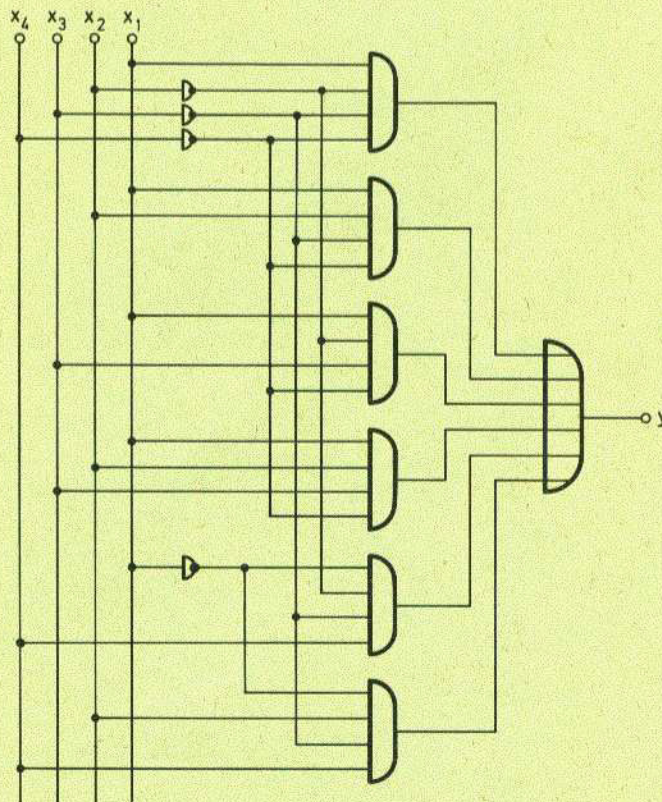
$y =$

vereinfachte Logikschaltung

Die ermittelte vereinfachte Logikschaltung ist aufzubauen und die jeweiligen Schaltzustände der Ausgangsvariablen y in die Funktionstabelle einzutragen.

x_3	x_2	x_1	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

c) 4 Eingangsvariable

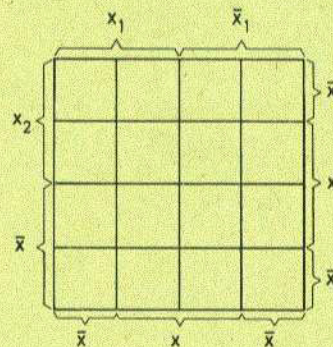


Diese Schaltung lässt sich aufgrund des Schaltungsumfanges auf dem Digi-Trainer nicht aufbauen. Die logischen Schaltzustände der Ausgangsvariablen y sind deshalb theoretisch anhand der Schaltung zu ermitteln und in die Funktionstabelle einzutragen. Außerdem ist die Funktionsgleichung aufzustellen.

x_4	x_3	x_2	x_1	y
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

$y =$

Mit Hilfe der KV-Tafel ist die vereinfachte Logikschaltung zu ermitteln und zu zeichnen. Außerdem ist die vereinfachte Funktionsgleichung aufzustellen.



$y =$

vereinfachte Logikschaltung

Die ermittelte vereinfachte Logikschaltung ist aufzubauen und die jeweiligen Schaltzustände der Ausgangsvariablen y in die Funktionstabelle einzutragen. Außerdem ist die Erkenntnis aus den 3 Experimenten zu formulieren.

x_4	x_3	x_2	x_1	y
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Erkenntnis:

.....

.....

Lösungen zu Experiment 11:

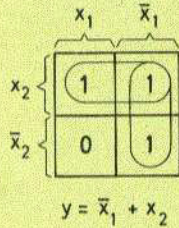
a) **Funktionstabelle:**

x_2	x_1	y
0	0	1
0	1	0
1	0	1
1	1	1

Funktionsgleichung der angegebenen Logikschaltung:

$$y = \bar{x}_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2 + x_1 \cdot x_2$$

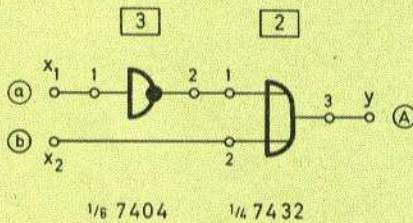
KV-Tafel:



vereinfachte Funktionsgleichung:

$$y = \bar{x}_1 + x_2$$

vereinfachte Logikschaltung:



Funktionstabelle der vereinfachten Logikschaltung:

x_2	x_1	y
0	0	1
0	1	0
1	0	1
1	1	1

Die Bauelemente stecken im Beispiel in den Fassungen **2** und **3**

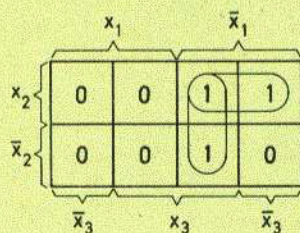
b) **Funktionstabelle:**

x_3	x_2	x_1	y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Funktionsgleichung:

$$y = \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot x_2 \cdot x_3$$

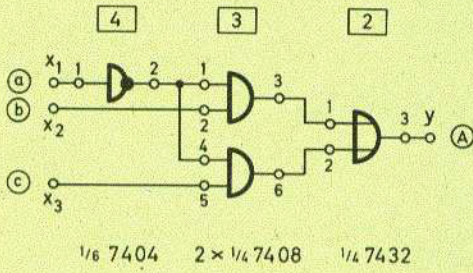
KV-Tafel:



vereinfachte Funktionsgleichung:

$$y = \bar{x}_1 \cdot x_2 + \bar{x}_1 \cdot x_3$$

vereinfachte Logikschaltung:



Funktionstabelle der vereinfachten Logikschaltung:

x_3	x_2	x_1	y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

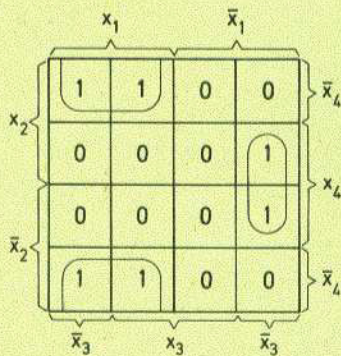
c) Funktionstabelle:

x_4	x_3	x_2	x_1	y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Funktionsgleichung:

$$y = x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \cdot \bar{x}_4 + x_1 \cdot x_2 \cdot \bar{x}_3 \cdot \bar{x}_4 + x_1 \cdot \bar{x}_2 \cdot x_3 \cdot \bar{x}_4 + x_1 \cdot x_2 \cdot x_3 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \cdot x_4 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 \cdot x_4$$

KV-Tafel:

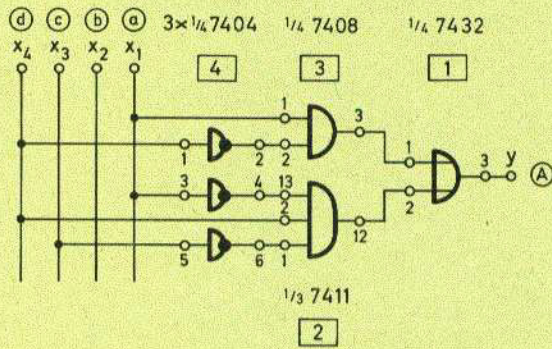


vereinfachte Funktionsgleichung:

$$y = x_1 \cdot \bar{x}_4 + \bar{x}_1 \cdot \bar{x}_3 \cdot x_4$$

vereinfachte Logikschaltung:

Funktionstabelle der vereinfachten Logikschaltung:



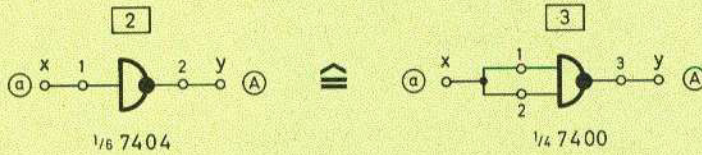
x_4	x_3	x_2	x_1	y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Erkenntnis:

Mit Hilfe der KV-Tafel lassen sich umfangreiche Schaltungen auf ein Minimum reduzieren.

Experiment 12: NAND-Funktion als Universalfunktion

a) NICHT-Funktion aus NAND



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x	y
0	
1	

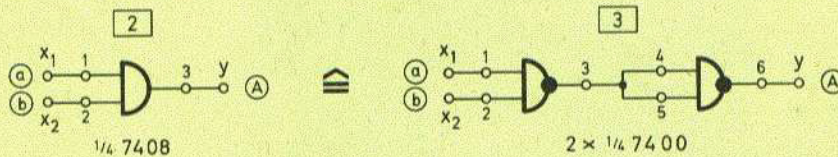
$y =$

Als nächstes ist die rechts angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x	y
0	
1	

$y =$

b) UND-Funktion aus NAND



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

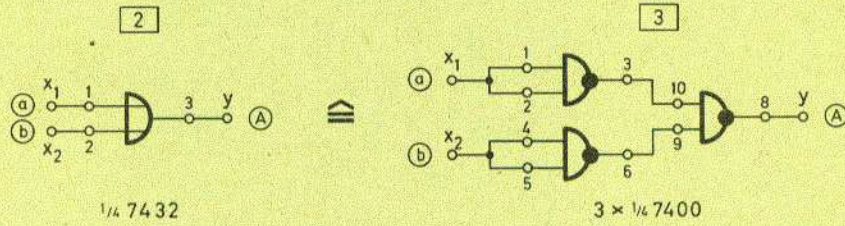
$y =$

Als nächstes ist die rechts angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

c) **ODER-Funktion aus NAND**



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

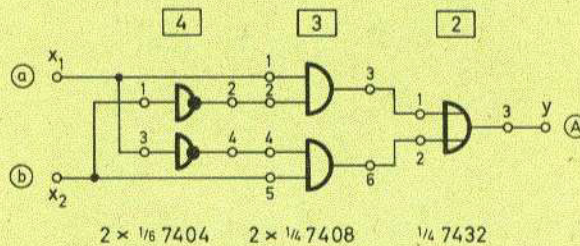
$y =$

Als nächstes ist die rechts angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

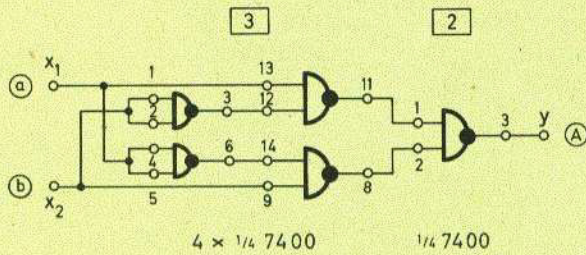
d) **ANTIVALENZ-Funktion aus NAND**



Als erstes ist die angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die angegebene Logikschaltung die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

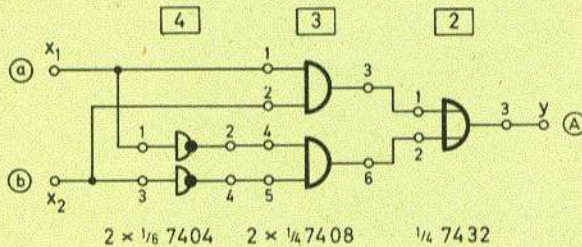


Als nächstes ist die gleiche Logikfunktion mit NAND-Gattern aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Für die angegebene Funktionsschaltung ist ebenfalls die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

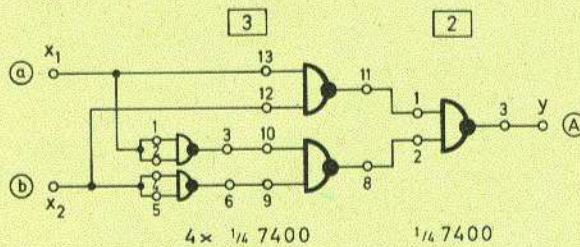
e) ÄQUIVALENZ-Funktion aus NAND



Als erstes ist die angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die angegebene Logikschaltung die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$



Als nächstes ist die gleiche Logikfunktion mit NAND-Gattern aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Für die angegebene Funktionsschaltung ist ebenfalls die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

$y =$

Formulieren Sie jetzt die aus den Experimenten erhaltene Erkenntnis.

Erkenntnis:

.....

.....

Lösungen zu Experiment 12:

a1) **Funktionstabelle:**

x	y
0	1
1	0

Funktionsgleichung:

$$y = \bar{x}$$

a2) **Funktionstabelle:**

x	y
0	1
1	0

Funktionsgleichung:

$$y = \bar{x}$$

b1) **Funktionstabelle:**

x_2	x_1	y
0	0	0
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

$$y = x_1 \cdot x_2$$

b2) **Funktionstabelle:**

x_2	x_1	y
0	0	0
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

$$y = \overline{x_1 \cdot x_2} = x_1 + x_2$$

c1) **Funktionstabelle:**

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	1

Funktionsgleichung:

$$y = x_1 + x_2$$

c2) **Funktionstabelle:**

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	1

Funktionsgleichung:

$$y = \overline{x_1 \cdot x_2} = x_1 + x_2$$

d1) **Funktionstabelle:**

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	0

Funktionsgleichung:

$$y = x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2$$

d2) **Funktionstabelle:**

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	0

Funktionsgleichung:

$$y = x_1 \cdot \bar{x}_2 \cdot \bar{x}_1 \cdot x_2 = x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2$$

e1) **Funktionstabelle:**

x_2	x_1	y
0	0	1
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

$$y = x_1 \cdot x_2 + \bar{x}_1 \cdot \bar{x}_2$$

e2) **Funktionstabelle:**

x_2	x_1	y
0	0	1
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

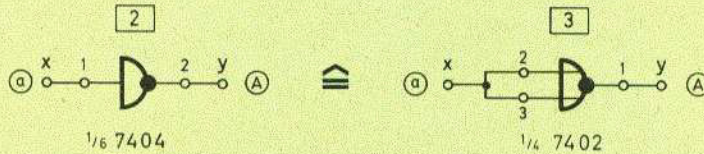
$$y = x_1 \cdot x_2 \cdot \bar{x}_1 \cdot \bar{x}_2 = x_1 \cdot x_2 + \bar{x}_1 \cdot \bar{x}_2$$

Erkenntnis:

Mit NAND-Gattern lassen sich alle logischen Funktionen lösen. Die NAND-Funktion wird aus diesem Grunde auch als Universalfunktion bezeichnet.

Experiment 13: NOR-Funktion als Universalfunktion

a) NICHT-Funktion aus NOR



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x	y
0	
1	

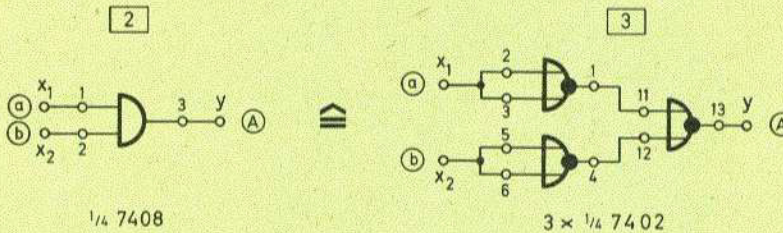
y =

Als nächstes ist die rechts angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x	y
0	
1	

y =

b) UND-Funktion aus NOR



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x ₂	x ₁	y
0	0	
0	1	
1	0	
1	1	

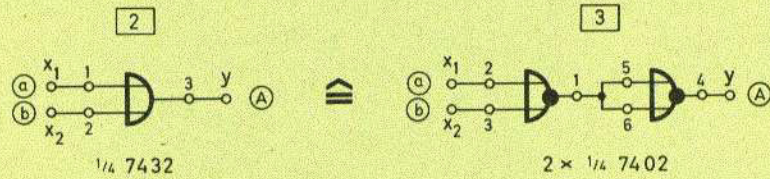
y =

Als nächstes ist die rechts angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x ₂	x ₁	y
0	0	
0	1	
1	0	
1	1	

y =

c) **ODER-Funktion aus NOR**



Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

y =

Zuerst ist die links angegebene Logikschaltung aufzubauen, und die ermittelten Schaltzustände der Ausgangsvariablen y sind in die Funktionstabelle einzutragen. Außerdem ist für die Ausgangsvariable y die Funktionsgleichung aufzustellen.

x_2	x_1	y
0	0	
0	1	
1	0	
1	1	

y =

Formulieren Sie jetzt die aus den Experimenten erhaltene Erkenntnis.

Erkenntnis:

.....

.....

Lösungen zu Experiment 13:

a1) **Funktionstabelle:**

x	y
0	1
1	0

Funktionsgleichung:

$$y = \bar{x}$$

a2) **Funktionstabelle:**

x	y
0	1
1	0

Funktionsgleichung:

$$y = \bar{x}$$

b1) **Funktionstabelle:**

x ₂	x ₁	y
0	0	0
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

$$y = x_1 \cdot x_2$$

b2) **Funktionstabelle:**

x ₂	x ₁	y
0	0	0
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

$$y \overline{x_1 + x_2} = x_1 \cdot x_2$$

c1) Funktionstabelle:

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	1

Funktionsgleichung:

$$y = x_1 + x_2$$

c2) Funktionstabelle:

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	1

Funktionsgleichung:

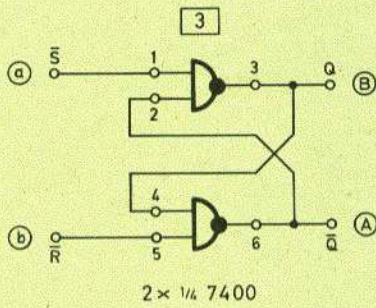
$$y = \overline{x_1 + x_2} = x_1 + x_2$$

Erkenntnis:

Auch mit NOR-Gattern lassen sich alle logischen Funktionen realisieren.

Experiment 14: RS-Flipflop (Basis-FF)

a) RS-FF aus NAND-Gattern



\bar{R}	\bar{S}	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		
1	0		
1	1		
0	1		
1	1		

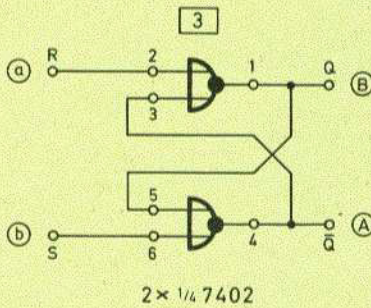
Das angegebene RS-FF ist aufzubauen, und die ermittelten Schaltzustände des Q- und \bar{Q} -Ausganges sind in die Funktionstabelle einzutragen sowie die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

b) RS-FF aus NOR-Gattern



R	S	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		
1	0		
0	0		
0	1		
0	0		

Das angegebene RS-FF ist aufzubauen, und die ermittelten Schaltzustände des Q- und \bar{Q} -Ausganges sind in die Funktionstabelle einzutragen sowie die aus dem Experiment erhaltene Erkenntnis zu formulieren.

Erkenntnis:

.....

.....

Lösungen zu Experiment 14:

a) Funktionstabelle:

\bar{R}	\bar{S}	Q	\bar{Q}
0	0	1	1
0	1	0	1
1	0	1	0
1	1	1	0
1	0	1	0
1	1	1	0
0	1	0	1
1	1	0	1

Erkenntnis:

Bei $\bar{R} = \bar{S} = 0$ liegt an beiden Ausgängen log. 1. Dieser Zustand ist irregulär. Bei $\bar{S} = 1$ und $\bar{R} = 0$ sind $Q = 0$ und $\bar{Q} = 1$ und umgekehrt. Bei $\bar{S} = \bar{R} = 1$ wird der jeweils vorherige Zustand gespeichert.

b) Funktionstabelle:

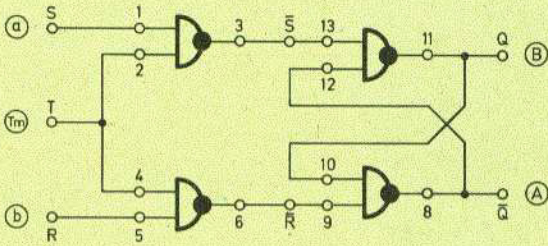
R	S	Q	\bar{Q}
0	0	1	0
0	1	0	1
1	0	1	0
1	1	0	0
1	0	1	0
0	0	1	0
0	1	0	1
0	0	0	1

Erkenntnis:

Gegenüber dem RS-FF aus NAND-Gattern ist bei dieser Ausführung der Eingangszustand $R = S = 1$ irregulär. Eine Speicherung des vorherigen Zustandes wird durch $R = S = 0$ erreicht.

Experiment 15: Getaktetes RS-Flipflop

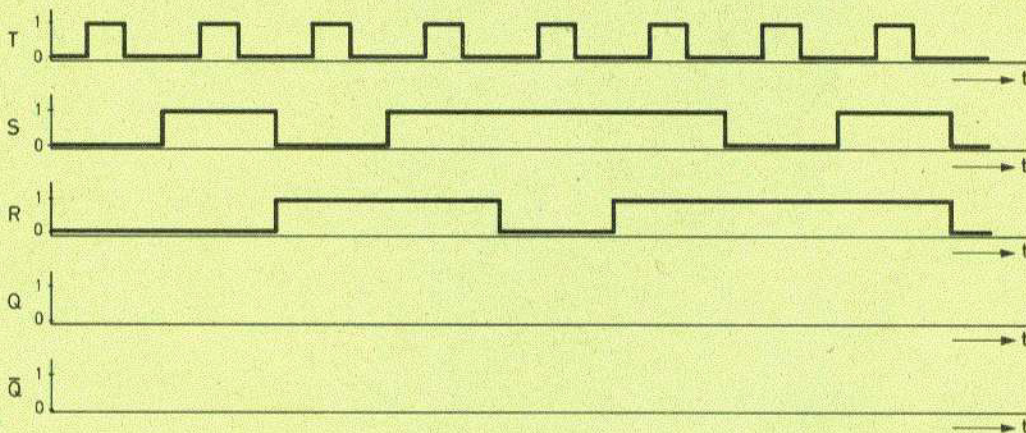
3



4 × 1/4 7400

t_n		t_{n+1}	
R	S	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		

Das angegebene getaktete RS-FF ist aufzubauen und die ermittelten Schaltzustände des Q- und \bar{Q} -Ausganges in die Funktionstabelle einzutragen. Außerdem ist das Impulsdiagramm zu ergänzen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.



Erkenntnis:

.....

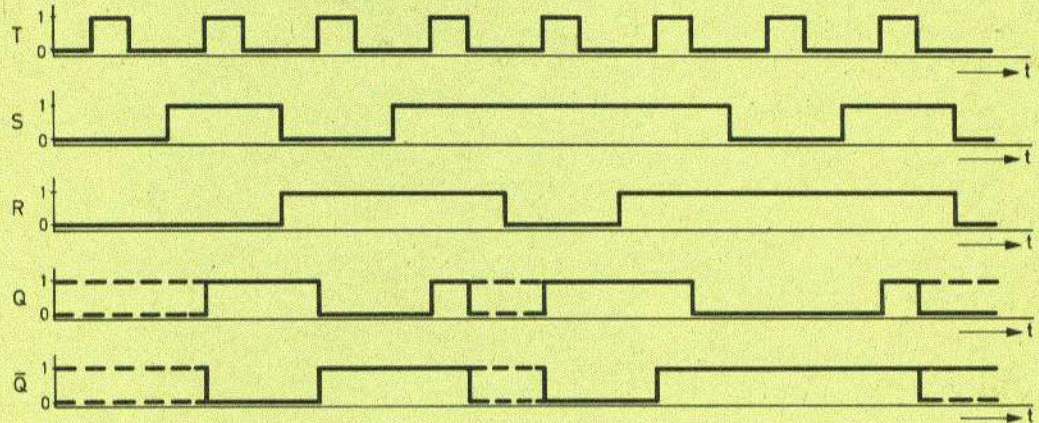
.....

Lösung zu Experiment 15:

Funktionstabelle:

t_n		t_{n+1}	
R	S	Q	\bar{Q}
0	0	0	1
0	1	1	0
1	0	0	1
1	1	n.d.	

Impulsdiagramm:

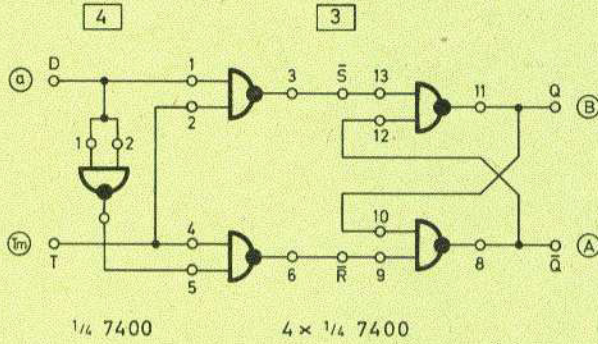


Erkenntnis:

Eine Änderung der Eingangszustände kann erst beim Eintreffen eines Taktimpulses am Ausgang des FFs wirksam werden.

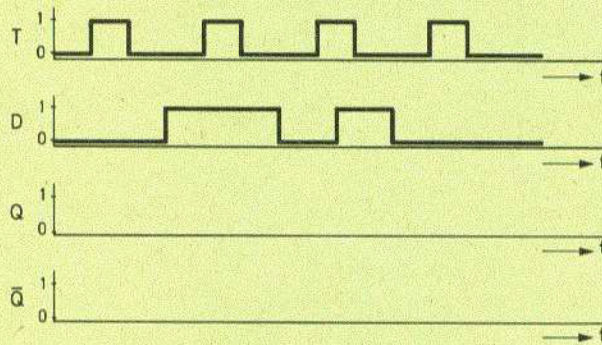
Experiment 16: D-Flipflop

a) D-FF durch Erweiterung des RS-FFs

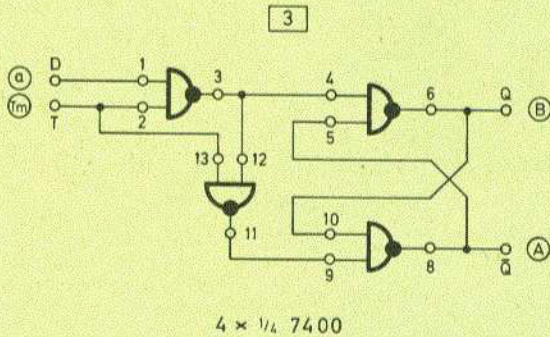


t_n	t_{n+1}
D	Q \bar{Q}
0	
1	

Zuerst ist das angegebene D-FF aufzubauen und die ermittelten Schaltzustände des Q- und \bar{Q} -Ausganges in die Funktionstabelle einzutragen. Außerdem ist das Impulsdiagramm zu ergänzen.

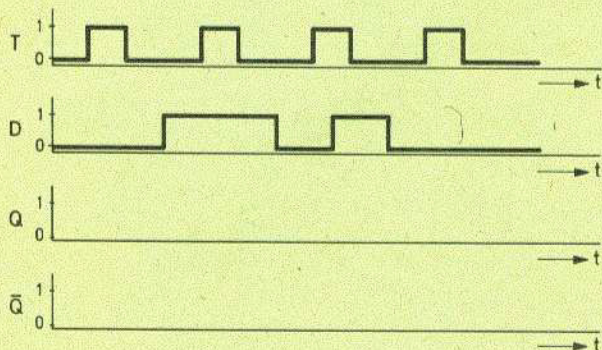


b) D-FF in vereinfachter Ausführung



t_n	t_{n+1}
D	Q \bar{Q}
0	
1	

Als nächstes ist das vereinfachte D-FF aufzubauen und die ermittelten Schaltzustände des Q- und \bar{Q} -Ausganges in die Funktionstabelle einzutragen. Außerdem ist das Impulsdiagramm zu ergänzen und die aus beiden Experimenten erhaltene Erkenntnis zu formulieren.



Erkenntnis:

.....

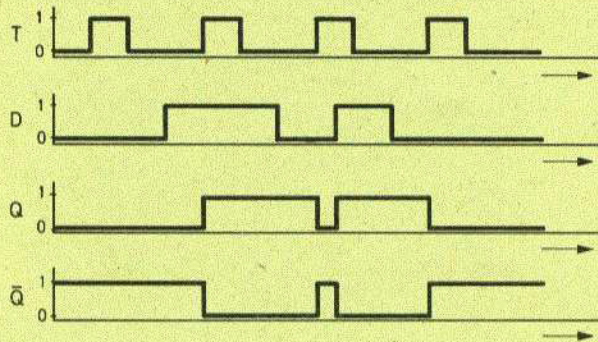
.....

Lösung zu Experiment 16:

a) **Funktionstabelle:**

t_n	t_{n+1}	
D	Q	\bar{Q}
0	0	1
1	1	0

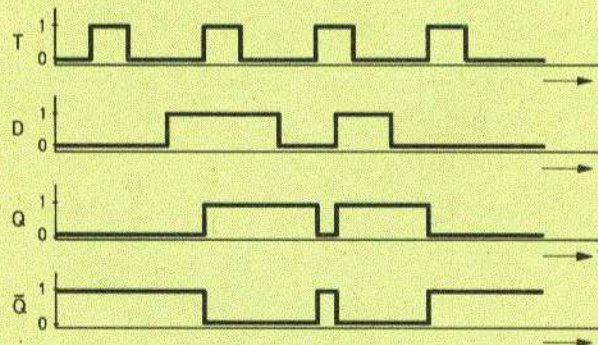
Impulsdiagramm:



b) **Funktionstabelle:**

t_n	t_{n+1}	
D	Q	\bar{Q}
0	0	1
1	1	0

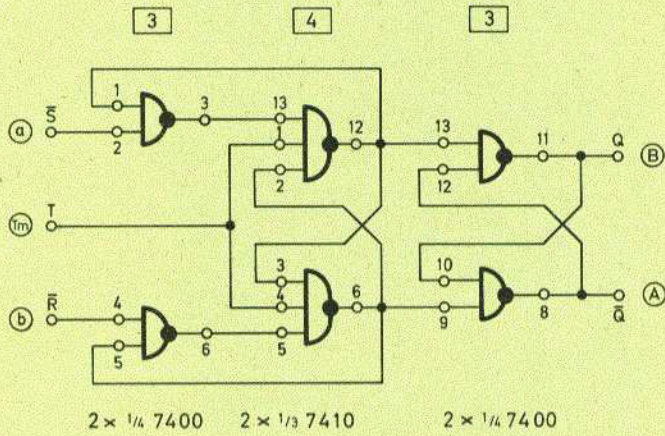
Impulsdiagramm:



Erkenntnis:

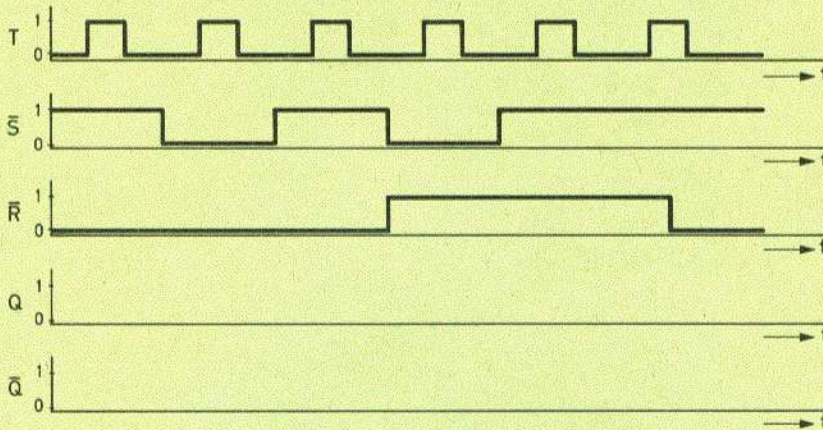
Das D-FF kann nur eindeutig definierte Zustände einnehmen.

Experiment 17: Taktflankengesteuertes RS-Flip



Das angegebene taktflankengesteuerte RS-FF ist aufzubauen und die ermittelten Schaltzustände des Q- und \bar{Q} -Ausganges in die Funktionstabelle einzutragen. Außerdem ist das Impulsdiagramm zu ergänzen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

t_n		t_{n+1}	
\bar{R}	\bar{S}	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		



Erkenntnis:

.....

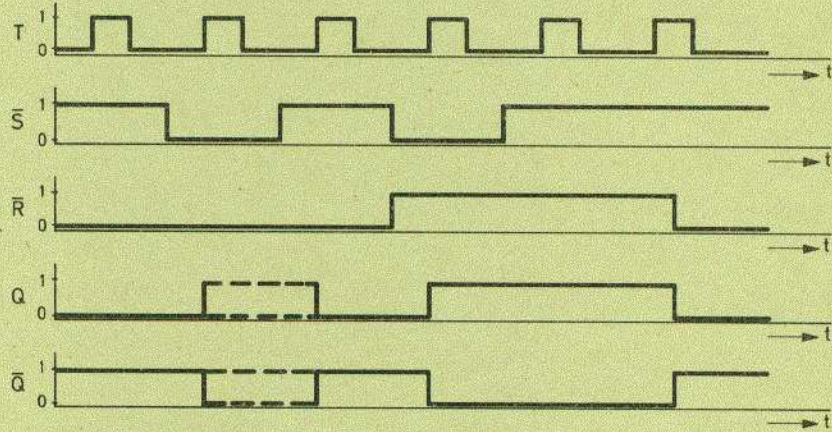
.....

Lösung zu Experiment 17:

Funktionstabelle:

t_n		t_{n+1}	
\bar{R}	\bar{S}	Q	\bar{Q}
0	0	n.d.	
0	1	0	1
1	0	1	0
1	1	1	0

Impulsdiagramm:

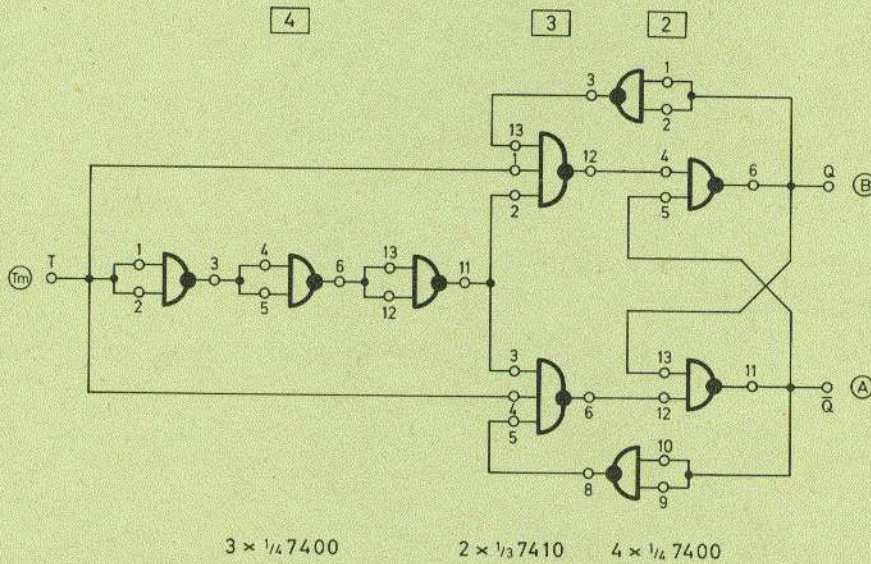


Erkenntnis:

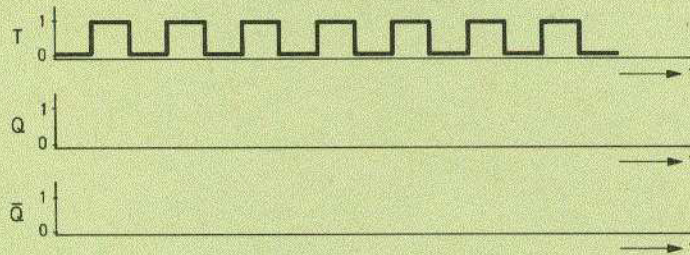
Eine Änderung der Eingangsinformation wird erst mit der nachfolgenden 0 → 1-Flanke des Taktimpulses wirksam. Auch bewirkt eine Eingangssignaländerung während des 1-Zustandes keine Ausgangssignaländerung. Bei $\bar{S} = \bar{R} = 0$ entsteht ein nicht definierter Ausgangszustand.

Experiment 18: JK-Flipflop

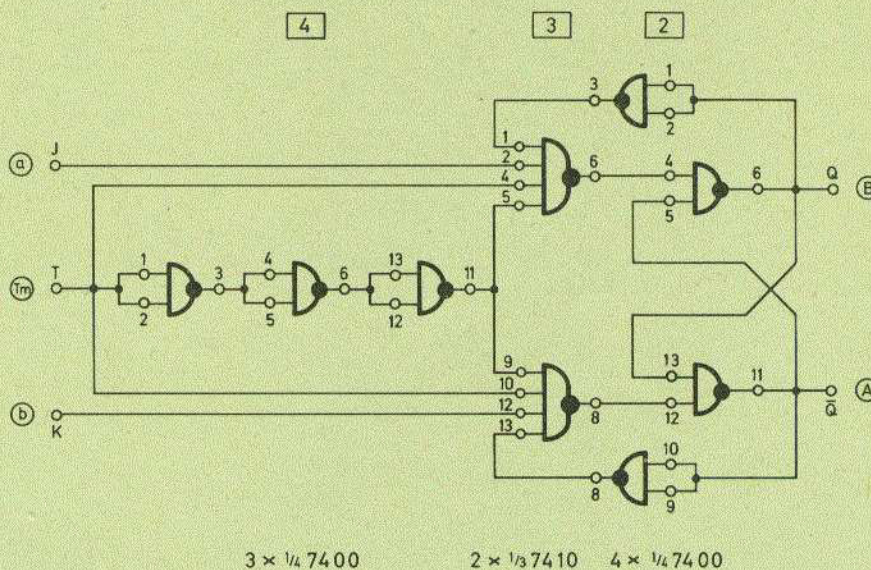
a) Binäruntersetzer



Zuerst ist das angegebene JK-FF aufzubauen und die ermittelten Schaltzustände des Q- und \bar{Q} -Ausganges in das Impulsdiagramm einzuzichnen.

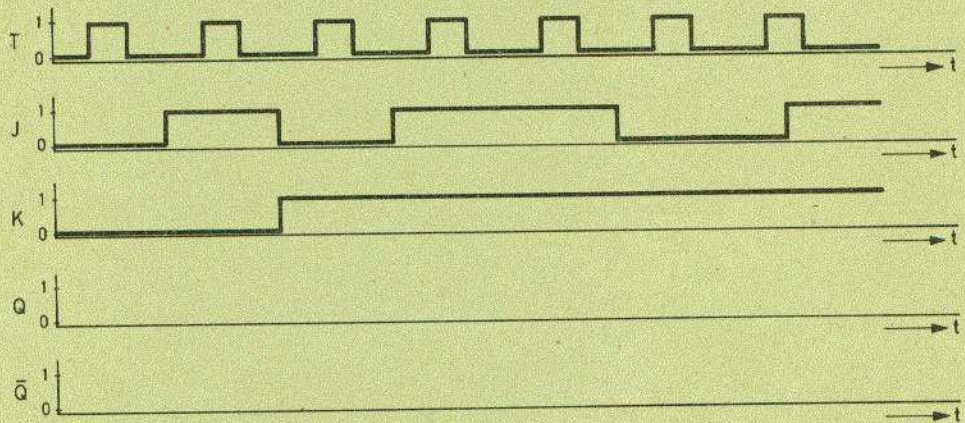


b) Taktflankengesteuertes JK-FF



Als nächstes ist das taktflankengesteuerte JK-FF aufzubauen und die ermittelten Schaltzustände des Q- und \bar{Q} -Ausganges in die Funktionstabelle einzutragen. Außerdem ist das Impulsdiagramm zu ergänzen und die aus beiden Experimenten erhaltene Erkenntnis zu formulieren.

t_n		t_{n+1}	
K	J	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		



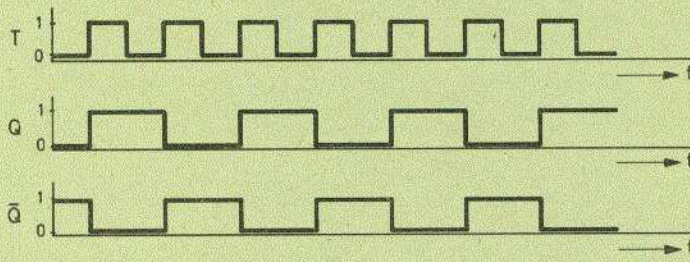
Erkenntnis:

.....

.....

Lösung zu Experiment 18:

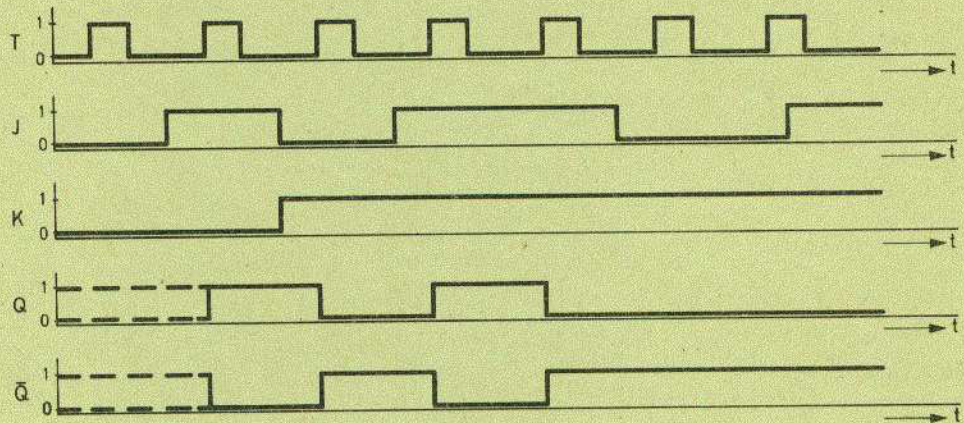
a) Impulsdiagramm:



b) Funktionstabelle:

t_n		t_{n+1}	
K	J	Q	\bar{Q}
0	0	Q	\bar{Q}
0	1	1	0
1	0	0	1
1	1	\bar{Q}	Q

Impulsdiagramm:

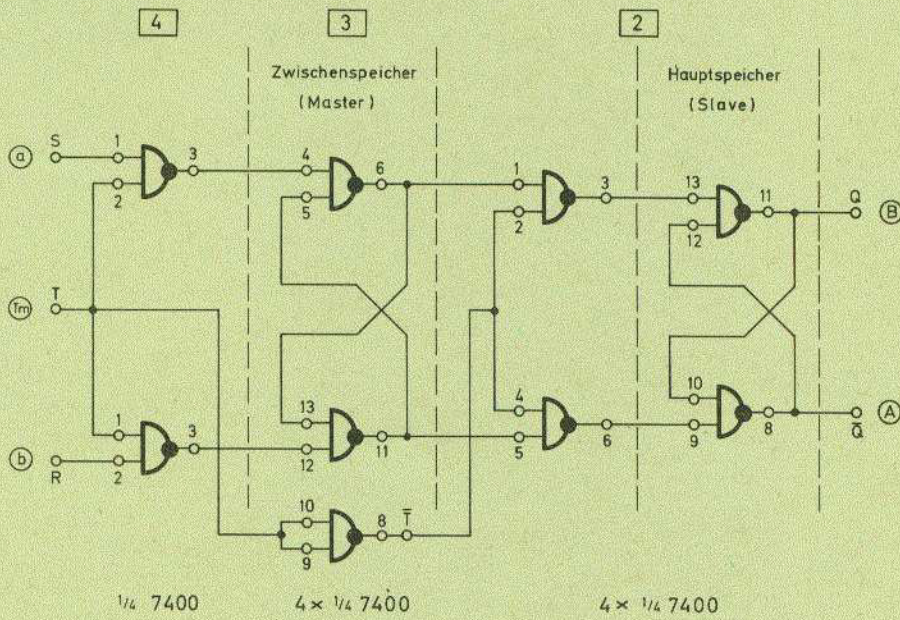


Erkenntnis:

Durch die Kreuzkopplung Ausgang-Eingang wird bei der Schaltung a das FF so vorbereitet, daß jede 0→1-Flanke ein Kippen des FFs bewirkt. Bei einer Taktfrequenz f erscheint am Ausgang die Frequenz $0,5 \cdot f$ (Binäruntersetzter).

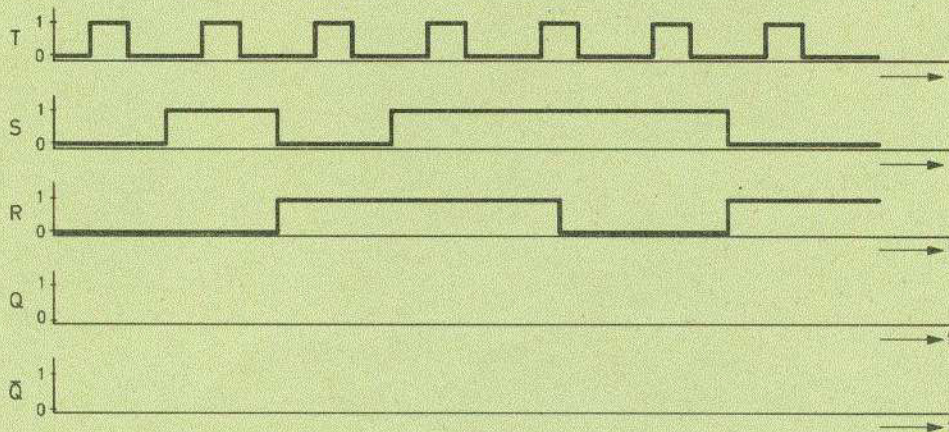
Durch die Erweiterung entsprechend Schaltung b ergibt sich ein JK-FF, bei dem keine irregulären oder undefinierten Schaltzustände auftreten. Ist $J = K = 0$, bewirken die Taktimpulse keine Änderung des vorhandenen Zustandes, während bei $J = K = 1$ das JK-FF als Binäruntersetzter arbeitet (Sind J und K während des Anlegens der Betriebsspannung log. 0, stellt sich ein nicht definierter Zustand ein).

Experiment 19: Master-Slave-Flipflop



Das angegebene Master-Slave-FF ist aufzubauen und die ermittelten Schaltzustände des Q- und \bar{Q} -Ausganges in die Funktionstabelle einzutragen. Außerdem ist das Impulsdiagramm zu ergänzen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

t_n		t_{n+1}	
R	S	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		



Erkenntnis:

.....

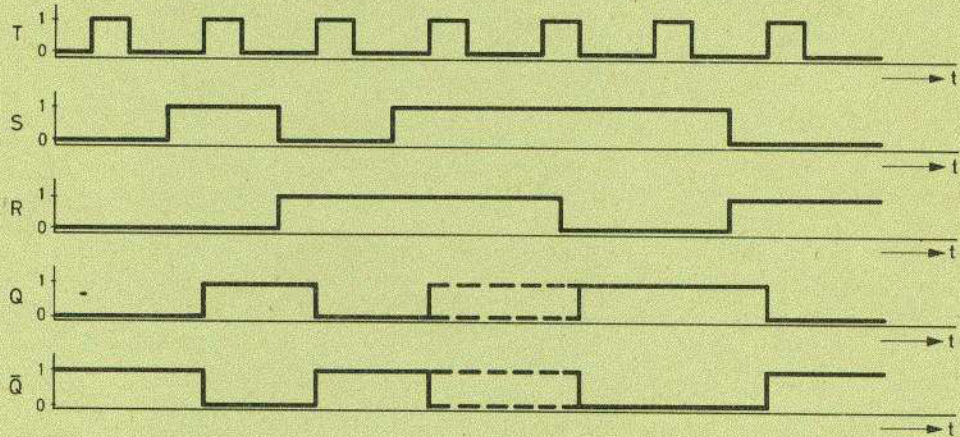
.....

Lösung zu Experiment 19:

Funktionstabelle:

t_n		t_{n+1}	
R	S	Q	\bar{Q}
0	0	0	1
0	1	1	0
1	0	0	1
1	1	n.d.	

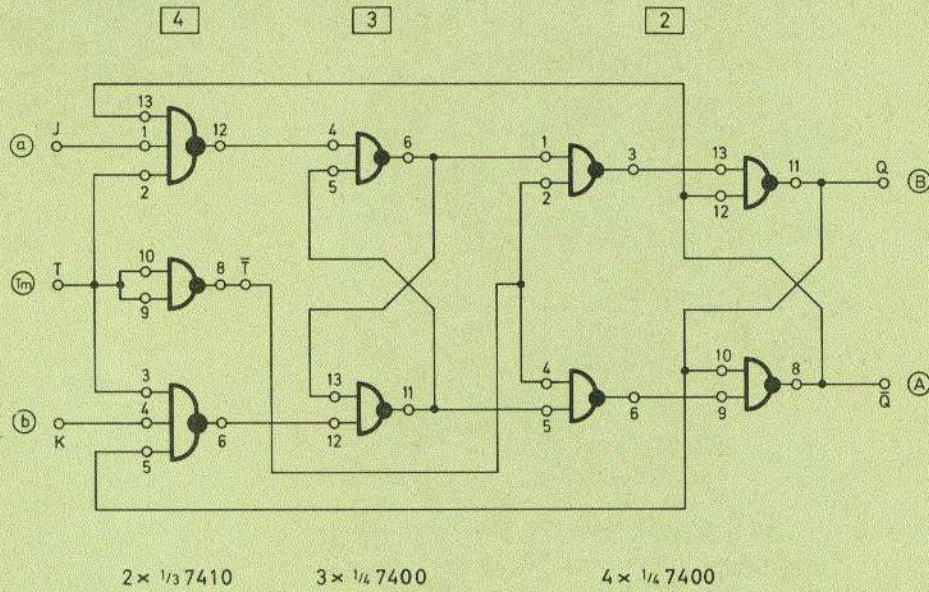
Impulsdiagramm:



Erkenntnis:

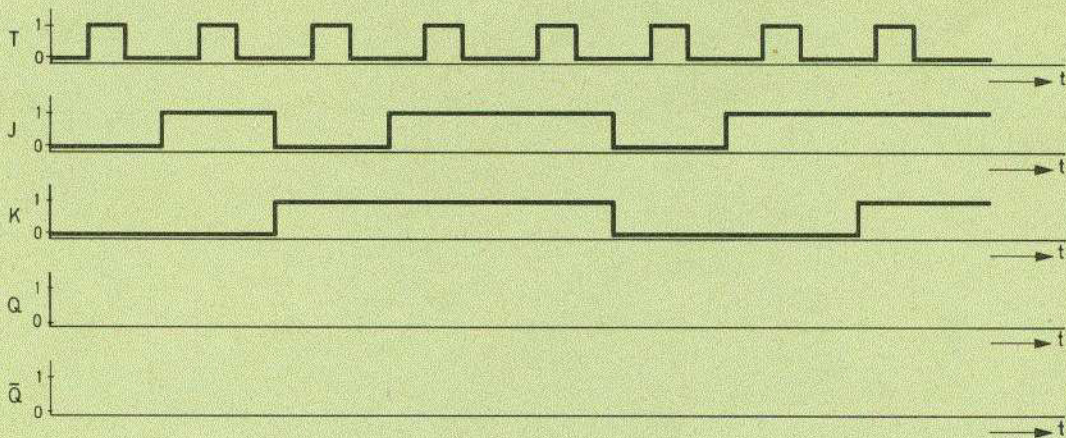
Beim Master-Slave-FF handelt es sich um ein zweiflankengesteuertes FF. Während der 0→1-Flanke wird die Information an S und R vom Master-FF übernommen (zwischengespeichert), und während der 1→0-Flanke stellt sich der Ausgang entsprechend der Information an S und R ein. Bei $S = R = 0$ bleibt der vorhandene Zustand erhalten, während bei $S = R = 1$ ein nicht definierter Zustand eintritt.

Experiment 20: Master-Slave-JK-Flipflop



Das angegebene Master-Slave-JK-FF ist aufzubauen und die ermittelten Schaltzustände des Q- und \bar{Q} -Ausganges in die Funktionstabelle einzutragen. Außerdem ist das Impulsdiagramm zu ergänzen und die aus dem Experiment erhaltene Erkenntnis zu formulieren.

		t_n	t_{n+1}
K	J	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		



Erkenntnis:

.....

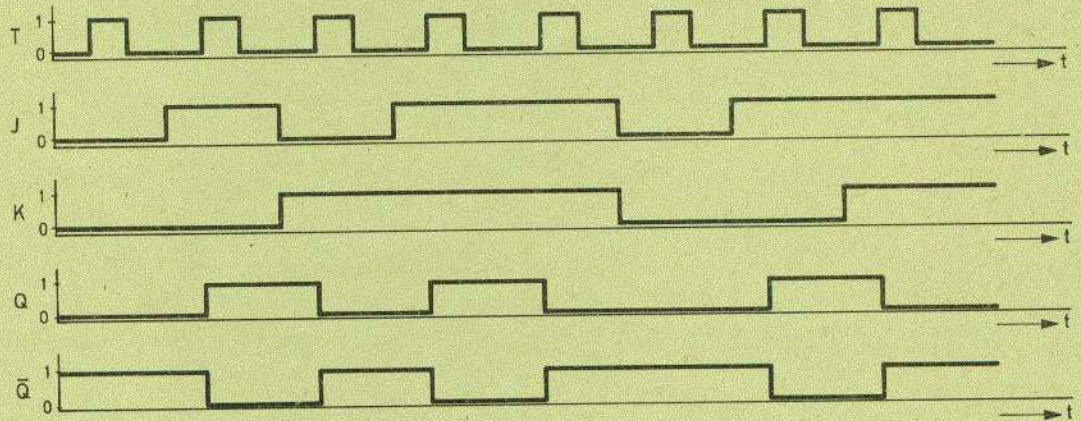
.....

Lösung zu Experiment 20:

Funktionstabelle:

t_n		t_{n+1}	
K	J	Q	\bar{Q}
0	0	0	1
0	1	1	0
1	0	0	1
1	1	1	0

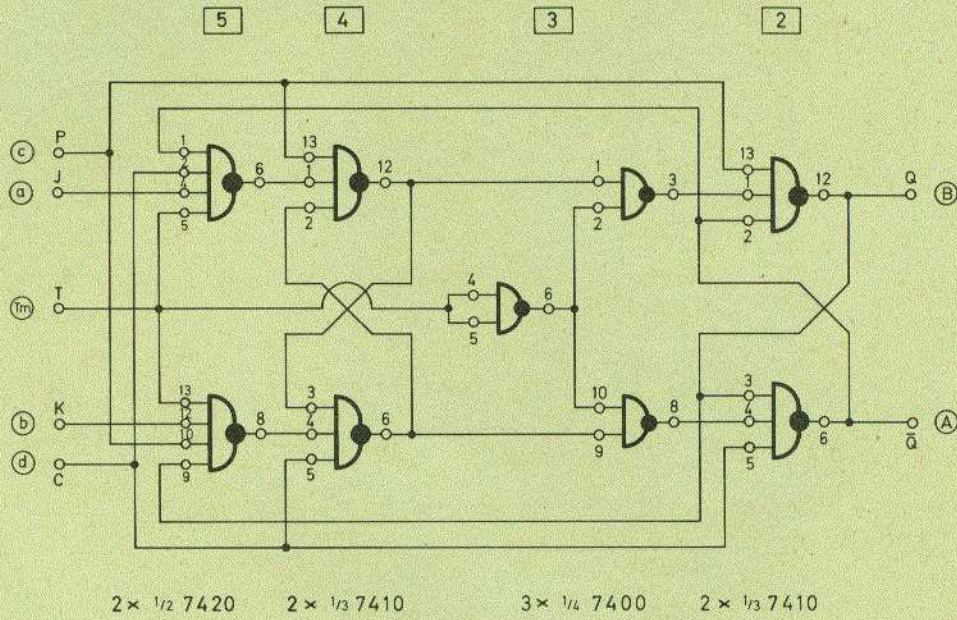
Impulsdiagramm:



Erkenntnis:

Bei diesem FF gibt es keinen undefinierten Schaltzustand. Bei $J = K = 0$ bleibt vorheriger Zustand erhalten, während sich der Schaltzustand bei $J = K = 1$ mit jedem Taktimpuls ändert.

Experiment 21: Master-Slave-JK-Flipflop mit direkten Eingängen



Das angegebene Master-Slave-JK-FF ist aufzubauen und die ermittelten Schaltzustände des Q- und \bar{Q} -Ausganges in die Funktionstabelle einzutragen. Außerdem ist die aus dem Experiment erhaltene Erkenntnis zu formulieren.

t_n				t_{n+1}	
C	P	K	J	Q	\bar{Q}
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

P	C	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		

Erkenntnis:

.....

.....

Lösung zu Experiment 21:**Funktionstabellen:**

t_n				t_{n+1}	
C	P	K	J	Q	\bar{Q}
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	1	1	0

P	C	Q	\bar{Q}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	0	1

Erkenntnis:

Bei $P = C = 1$ arbeitet dieses FF wie das JK-FF in Experiment 20. Bei $P = C = 0$ wird $Q = \bar{Q} = 1$ (irregulärer Zustand). Gesetzt wird das FF ($Q = 1, \bar{Q} = 0$) durch $P = 0$ und $C = 1$. Mit $P = 1$ und $C = 0$ wird das FF gelöscht ($Q = 0$ und $\bar{Q} = 1$). Die direkten Eingänge sind unabhängig vom Taktimpuls und haben Vorrang vor den Vorbereitungseingängen J und K.

Experiment 22: Folgesteuerung einer Bohrmaschine (Anwendungsbeispiel digitaler Schaltkreise)

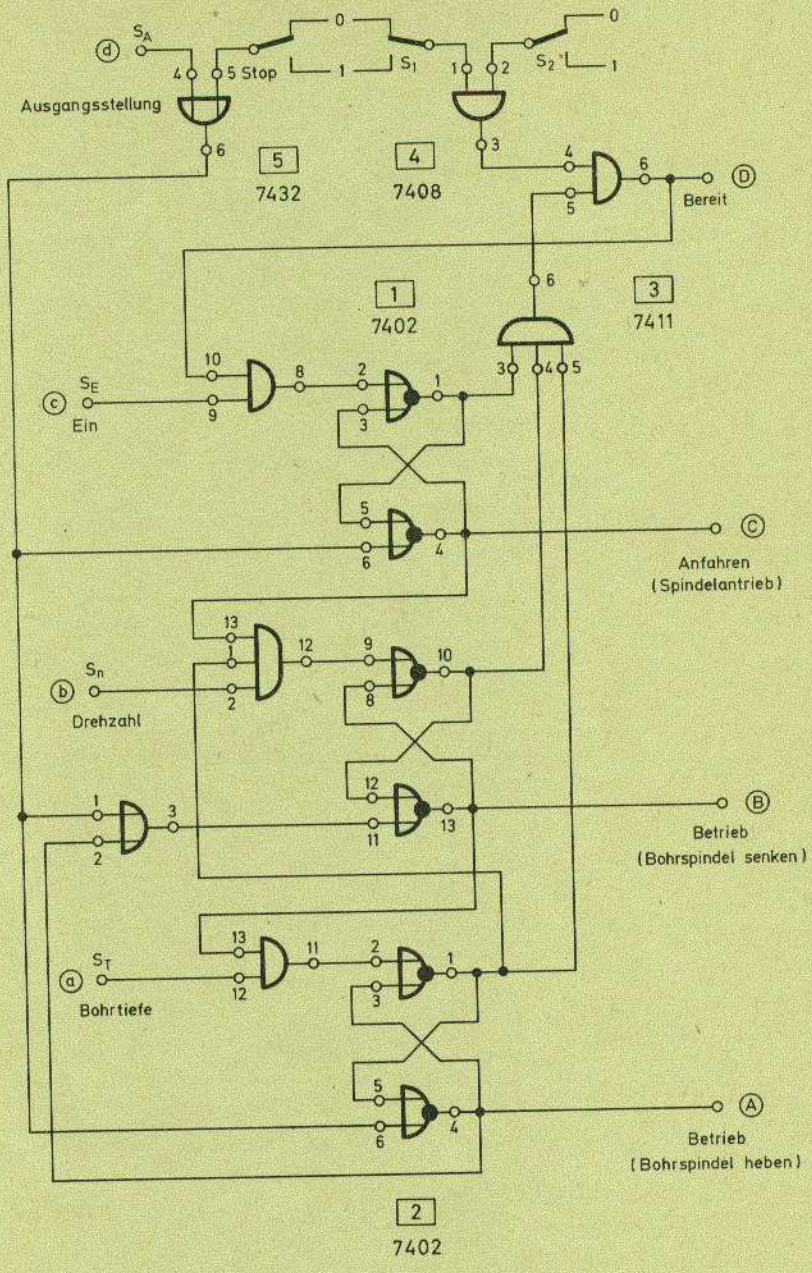
Mit den im Lehrheft behandelten Grundverknüpfungen und bistabilen Kippstufen lassen sich bereits einfache digitale Steueranlagen aufbauen. Als Beispiel soll eine Folgesteuerung einer Bohrmaschine experimentell nachempfunden werden. Um die einzelnen Schaltfunktionen verfolgen zu können, wird zuerst der Arbeitsablauf festgelegt. Er soll automatisch erfolgen und die aufgestellten Forderungen erfüllen:

1. Der Bohrvorgang darf nur eingeleitet werden können, wenn genügend Kühlflüssigkeit (Bohrwasser) vorhanden und ein Schutzgitter geschlossen ist. Diese Bereitschaft muß durch eine Lampe signalisiert werden.
2. Ausgehend von der Ausgangsstellung (Bohrspindel am oberen Anschlag) muß durch Drücken der Ein-Taste die Bohrspindel zunächst auf eine genügend hohe Drehzahl beschleunigen.
3. Die Bohrspindel darf sich erst senken, wenn die vorgeschriebene Drehzahl erreicht ist.
4. Bei einer bestimmten Bohrtiefe muß die Bohrspindel nach oben bis in die Ruhestellung angehoben werden.
5. Erst jetzt kann das Werkstück für eine weitere Bohrung neu zentriert werden.
6. Der Bohrvorgang muß durch Tastendruck bei jedem Arbeitsgang abgebrochen werden können (Sicherheitsvorschrift).

Die umseitig angegebene Steuerschaltung ist aufzubauen und anhand der Funktionstabelle zu überprüfen, ob die 6 genannten Forderungen erfüllt werden.

S_1	S_2	S_E (c)	S_n (b)	S_T (a)	S_A (d)	Stop	D	C	B	A	Bemerkungen	
0	0	0	0	0	1	0						
1	0	0	0	0	1	0						
1	1	0	0	0	1	0						1. Forderung
1	1	1	0	0	0	0						2. — " —
1	1	0	0	0	0	0						2. — " —
1	1	0	1	0	0	0						3. — " —
1	1	0	1	1	0	0						4. — " —
1	1	0	1	0	0	0						4. — " —
1	1	0	1	0	1	0						4. — " —
1	1	0	0	0	1	0						5. — " —
1	1	1	0	0	0	0						2. — " —
1	1	0	1	0	0	0						3. — " —
1	1	0	1	0	0	1						6. — " —

Der log. Zustand der Schalter S_1 , S_2 und Stop wird durch Umstecken der Verbindungskabel von „+“ nach „-“ oder umgekehrt geändert.



Lösung zu Experiment 22:

Funktionstabelle:

S ₁	S ₂	S _E (c)	S _n (b)	S _T (a)	S _A (d)	Stop	D	C	B	A	Bemerkungen
0	0	0	0	0	1	0	0	0	0	0	
1	0	0	0	0	1	0	0	0	0	0	
1	1	0	0	0	1	0	1	0	0	0	1. Forderung
1	1	1	0	0	0	0	0	1	0	0	2. — " —
1	1	0	0	0	0	0	0	1	0	0	2. — " —
1	1	0	1	0	0	0	0	1	1	0	3. — " —
1	1	0	1	1	0	0	0	1	0	1	4. — " —
1	1	0	1	0	0	0	0	1	0	1	4. — " —
1	1	0	1	0	1	0	1	0	0	0	4. — " —
1	1	0	0	0	1	0	0	0	0	0	5. — " —
1	1	1	0	0	0	0	0	1	0	0	2. — " —
1	1	0	1	0	0	0	0	1	1	0	3. — " —
1	1	0	1	0	0	1	1	0	0	0	6. — " —

Wie die Funktionstabelle zeigt, erfüllt die angegebene Steuerschaltung die 6 aufgestellten Forderungen.

Erklärung:

Der Schalter S₁ ist ein Druckschalter, der nur dann log. 1 liefert, wenn genügend Bohrwasser im Behälter ist.

Der Schalter S₂ befindet sich am Schutzgitter. Er liefert log. 1, wenn dieses geschlossen ist. Damit am Ausgang „Bereit“ log. 1 entstehen kann, müssen die 3 Basis-FFs in ihrer Ruhelage sein. Dies ist der Fall, wenn die Bohrspindel am oberen Anschlag steht und der Endschalterkontakt an log. 1 liegt.

Leuchtet der Ausgang „Bereit“ auf, kann die Ein-Taste gedrückt werden. Um den Einschaltvorgang auszulösen, muß der Endschalterkontakt an log. 0 gelegt werden. Der Bohrspindeltrieb wird in Gang gesetzt.

Hat die Bohrspindel eine genügend hohe Drehzahl erreicht, schließt der Fliehkraftschalter S_n, so daß die Bohrspindel gesenkt wird.

Erreicht die Bohrspindel eine voreingestellte Bohrtiefe, wird der Kontakt S_T geschlossen. Dadurch wird der Hubmechanismus auf „Heben“ umgesteuert, bis die Bohrspindel wieder ihre Ausgangsstellung erreicht hat und der Endschalter S_A geschlossen wird.

Durch Betätigung der Stop-Taste kann der Bohrvorgang in jeder Phase abgebrochen werden.

GerätstücklisteBestellnummer

1 St.	Verpackung kompl.		
1 St.	Lehrheft „Grundlagen der Digital-Elektronik“		5994 0158
1 St.	Bedienungsanleitung		5994 0154
1 St.	Experimenter „Digi-Trainer“		5994 0153
1 St.	Netztransformator 220 V / 1 x 17 V und 2 x 6,3 V 50 Hz		5997 0581

Beutel 1 (IC-Rohr)

3 St.	IC MIC 7400		5983 2830
2 St.	IC MIC 7402		5983 1937
1 St.	IC MIC 7404		5983 1938
1 St.	IC MIC 7408		5983 1939
2 St.	IC MIC 7410		5983 1923
1 St.	IC MIC 7411		5983 1924
1 St.	IC MIC 7420		5983 1935
1 St.	IC MIC 7432		5983 1942

Beutel 2

4 St.	Verbindungskabel	blau	10 cm	5995 6302
4 St.	dto.	rot	10 cm	5995 6301
4 St.	dto.	schwarz	10 cm	5995 6305
4 St.	dto.	gelb	10 cm	5995 6303
4 St.	dto.	weiß	10 cm	5995 6306
4 St.	dto.	grün	10 cm	5995 6304
4 St.	dto.	blau	20 cm	5995 6310
4 St.	dto.	rot	20 cm	5995 6309
4 St.	dto.	schwarz	20 cm	5995 6313
4 St.	dto.	gelb	20 cm	5995 6311
4 St.	dto.	weiß	20 cm	5995 6314
4 St.	dto.	grün	20 cm	5995 6312

1 St.	Verbindungskabel	blau	30 cm	5995 6318
1 St.	dto.	rot	30 cm	5995 6317
1 St.	dto.	schwarz	30 cm	5995 6321
1 St.	dto.	gelb	30 cm	5995 6319
1 St.	dto.	weiß	30 cm	5995 6322
1 St.	dto.	grün	30 cm	5995 6320
1 St.	dto.	blau	40 cm	5995 6326
1 St.	dto.	rot	40 cm	5995 6325
1 St.	dto.	schwarz	40 cm	5995 6329
1 St.	dto.	gelb	40 cm	5995 6327
1 St.	dto.	weiß	40 cm	5995 6330
1 St.	dto.	grün	40 cm	5995 6328

Grundlagen der Digital-Elektronik

Bedienungsanleitung
Digi-Trainer

Copyright 1975 by
Standard Elektrik Lorenz Aktiengesellschaft
Unternehmensgruppe Rundfunk Fernsehen Phono
7530 Pforzheim, Östliche 132
Postfach 1570, Telefon (07231) 302-2391
4. Auflage, März 1976

Druck: Druckerei Seiter, 7535 Königsbach-Stein

Netzteil: vollisolierter Experimentiertransformator 220/17/2 x 6,3 V, 50 Hz, 9 VA, kurzschlußfestes stabilisiertes Netzteil mit 5 V, 0,6 A.

Experimentierteil: 5 16polige Fassungen für ICs im Dual-in-Line-Gehäuse mit je 2 Kontaktstiften pro IC-Anschluß numeriert für 14- und 16polige ICs

je Fassung 1 steckbarer Widerstand für Schaltungen mit offenem Kollektor

je Fassung 1 nicht sichtbarer Stützkondensator

entlang der Fassungsreihe eine durchgehende $+ (U_{CC})$ - und $-$ (Masse)-Schiene mit 3 Kontaktstiften pro Fassung

zwischen den Fassungen insgesamt 4 frei benutzbare Verteilerleitungen mit je 4 Kontaktstiften

eine korrespondierende Leitung mit 10 Kontaktstiften

Betriebsspannung: +5 V

Bedienteil: 1 7-Segment-Ziffernanzeige mit Decoder und je 2 Kontaktstiften (Ziffernanzeige leuchtet, wenn $\log. 1 \geq 2$ V an den entsprechenden Decodereingängen liegt; Dezimalanzeige leuchtet nicht, wenn $\log. 0 \leq 2$ V an den Decodereingängen liegt oder wenn die Decodereingänge offen sind). 4 Anzeigestufen für den logischen Zustand mit je 2 Kontaktstiften (LED leuchtet, wenn $\log. 1 \geq 2$ V an den Eingängen liegt; LED leuchtet nicht, wenn $\log. 0 \leq 2$ V an den Eingängen liegt oder wenn die Eingänge offen sind)

4 statisch entprellte Eingabeschiebeschalter mit komplementären Ausgängen (je ein Anschluß) von Standard-TTL-ICs mit Anzeige des Logikzustandes

1 frequenzmäßig umschaltbarer automatischer Taktgenerator ($f_1 \approx 1$ Hz, $f_2 \approx 20$ kHz) mit automatischem Stop aus dem Experimentierteil und zusätzlicher Handtakt mit Anzeige der Taktimpulse (blinkend bei langsamem Takt, schwach leuchtend bei schnellem Takt)

Betriebsspannung: +5 V

ITT Digi-Trainer

Der ITT Digi-Trainer dient zur experimentellen Einarbeitung in die Schaltungstechnik der Digital-Elektronik. Er besteht aus einem Experimentierteil mit 5 Fassungen zur Aufnahme von 14- und 16poligen integrierten Schaltkreisen (Dual-in-Line-Gehäuse) und einem Bedienteil für die Eingabe und zur Anzeige der logischen Zustände.

Bei der Entwicklung des ITT Digi-Trainers konnte auf die langjährigen Erfahrungen der ITT Fachlehrgänge hinsichtlich moderner und praxisgerechter beruflicher Fortbildung zurückgegriffen werden. Aufgrund der hohen Komplexität von integrierten TTL-Bausteinen lassen sich mit diesem Experimentiersystem sehr umfangreiche Schaltungen realisieren.

Experimentierteil

Für jeden Anschluß der 5 16poligen IC-Fassungen sind 2 eingelötete Steckerstifte angeordnet. Diese können mit den beigegefügtten Verbindungskabeln miteinander verbunden werden. Oberhalb der Fassungen verläuft die + -Leitung ($+U_{CC}$) und unterhalb die - -Leitung (Masse). Zwischen den Fassungen und am oberen Rand der Platte befinden sich sog. korrespondierende Leitungen. Diese können bei der Verdrahtung umfangreicher Schaltungen als Stützpunkte bzw. als Leitungen für oft benötigte Signale (z.B. Takt) verwendet werden. Zu jeder Fassung gehört außerdem ein extern anschaltbarer Widerstand, der auch das Verwenden von ICs mit offenem Kollektor zuläßt.

Zur Entkopplung der ICs untereinander sind auf der Rückseite der gedruckten Platte 5 Keramik-kondensatoren angelötet.

Beim Einsetzen der ICs in die Fassungen sind folgende Punkte **unbedingt** zu beachten:

- Die Einkerbung an der Stirnseite der ICs muß grundsätzlich nach oben zeigen.
- Werden 14polige ICs verwendet, so gilt die weiß gedruckte Anschlußnumerierung. In diesem Fall bleiben die beiden unteren Anschlüsse der Fassung frei.
- Die IC-Anschlüsse müssen **sorgfältig** ausgerichtet werden, damit sie beim Stecken in die Fassung nicht abgebrochen werden.

Das Herausnehmen der ICs aus den Fassungen sollte besonders sorgfältig erfolgen, wenn diese keinen Auswurfkeil haben. In diesem Fall müssen die ICs mit einem kleinen Schraubenzieher von beiden Stirnseiten wechselseitig angehoben werden. Versucht man, sie einfach mit den Fingern aus der Fassung zu ziehen, brechen in den meisten Fällen Anschlüsse ab.

Bedienteil

Der Bedienteil besteht aus:

- Eingabeteil und
- Anzeigeteil

Eingabeteil

Mit den 4 Schiebeschaltern können, über ein Basis-FF entprellt, 4 statische Binärsignale erzeugt werden. Die Ausgänge dieser Stufen sind mit \bar{a} bis \bar{d} bzw. a bis d bezeichnet. In der

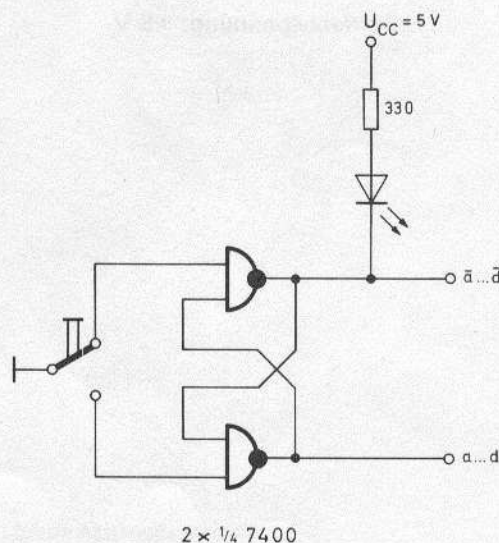


Abb. 1.
Entprellte Eingabe (4mal vorhanden)

unteren Schalterstellung liegt an den Ausgängen a bis d log. 0, an den Ausgängen \bar{a} bis \bar{d} log. 1. Wird ein Schalter nach oben geschoben, so leuchtet eine Leuchtdiode und am zugehörigen nichtinvertierten Ausgang liegt log. 1. Der invertierte Ausgang schaltet dabei von log. 1 nach log. 0. Die Schaltung einer entprellten Eingabe zeigt Abb. 1.

Mit der Taste T_m können manuell Taktimpulse an T_m bzw. \bar{T}_m erzeugt werden. Im nicht-gedrückten Zustand liegt an T_m log. 0 und an \bar{T}_m log. 1. Die unterhalb der Steckerstifte angebrachte Leuchtdiode leuchtet jetzt nicht. Wird die Taste gedrückt, leuchtet die Leuchtdiode, und an T_m liegt log. 1, an \bar{T}_m log. 0.

Die Schaltung der manuellen Takteingabe zeigt Abb. 2.

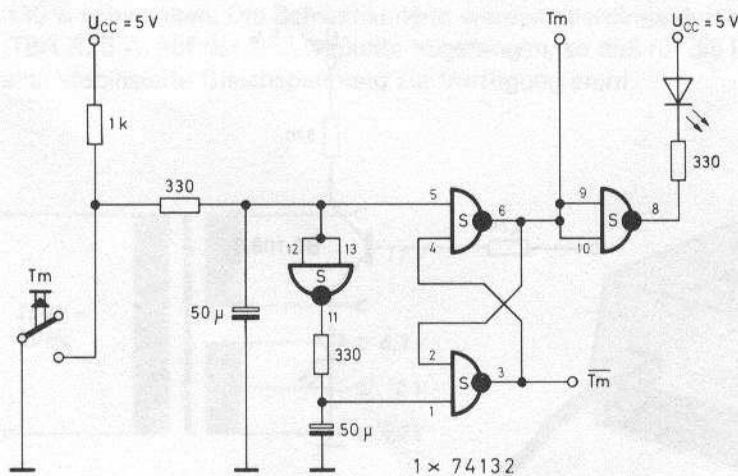


Abb. 2.
Manuelle Takteingabe

Anstelle von 4 einfachen NAND-Gattern werden für diese Anordnung 4 NAND-Schmitt-Trigger-Gatter eingesetzt. Damit ist eine genügende Flankensteilheit für die Signale T_m bzw. \bar{T}_m gewährleistet.

Neben der manuellen Takteingabe enthält der ITT Digi-Trainer einen automatischen Taktgenerator. Das automatische Taktsignal mit einer Frequenz von ca. 1 Hz oder ca. 20 kHz kann an den mit T_a bezeichneten Steckerstiften abgenommen werden. Der Taktgenerator kann nur dann schwingen, wenn am Stift S log. 1 liegt. Das ist der Fall, wenn Stift S nicht beschaltet ist. Damit der Taktgenerator jedoch aus- und eingeschaltet werden kann, ist Stift S mit Stift \bar{a} zu verbinden. In der unteren Schalterstellung liegt an \bar{a} log. 1, so daß der Generator schwingt. Wird der Schalter nach oben gelegt, so stoppt der Generator. Die **gewünschte Taktfrequenz** kann gewählt werden, indem eine der im Siebdruck gezeichneten Brücken gesteckt wird. Bei einer Frequenz von 20 kHz reicht das Auflösungsvermögen des Auges nicht mehr aus, das Blinken der Anzeigenleuchtdiode noch zu erkennen. Die Schaltung des automatischen Taktgenerators zeigt Abb. 3.

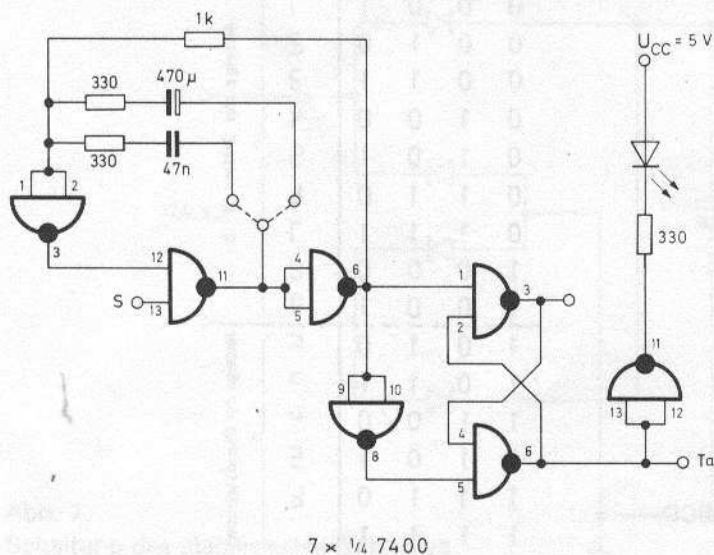


Abb. 3.
Automatischer Taktgenerator

Anzeigeteil

Der Anzeigeteil kann unterteilt werden in

- reine Digitalanzeige und
- Ziffernanzeige (7-Segment-Anzeige)

Die **reine Digitalanzeige** enthält 4 getrennte Anzeigestufen, deren Eingänge mit A bis D bezeichnet sind. Die Stufen sind so dimensioniert, daß bei einer Spannung an A bis D von ca. 2,4 V die Leuchtdioden aufleuchten. Dies bedeutet, daß bei Verwendung von TTL- und DTL-Standardschaltkreisen die Dioden aufleuchten, wenn log. 1 an den Eingängen liegt (bei positiver Logik). Die Schaltung einer Anzeigestufe zeigt Abb. 4.

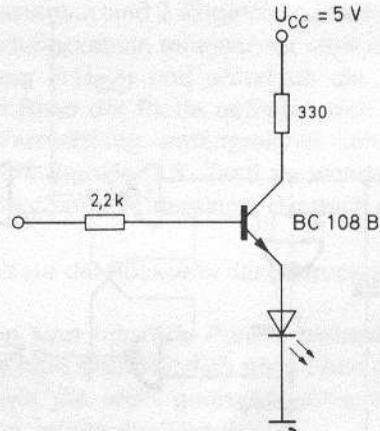


Abb. 4.
Anzeigestufe (4mal vorhanden)

Die **Ziffernanzeige** besteht aus einem BCD-Decoder und einer 7-Segment-Anzeige. Diese beiden Bausteine sind entsprechend Abb. 5. zusammengeschaltet.

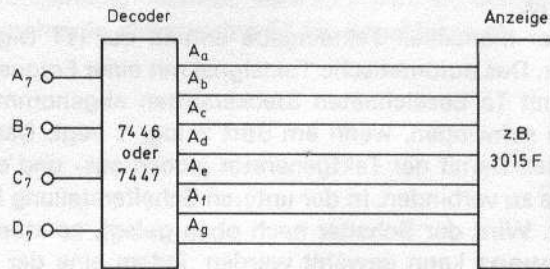


Abb. 5.
Ziffernanzeige

D ₇	C ₇	B ₇	A ₇	Anzeige
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	—
1	0	1	1	—
1	1	0	0	—
1	1	0	1	—
1	1	1	0	—
1	1	1	1	—

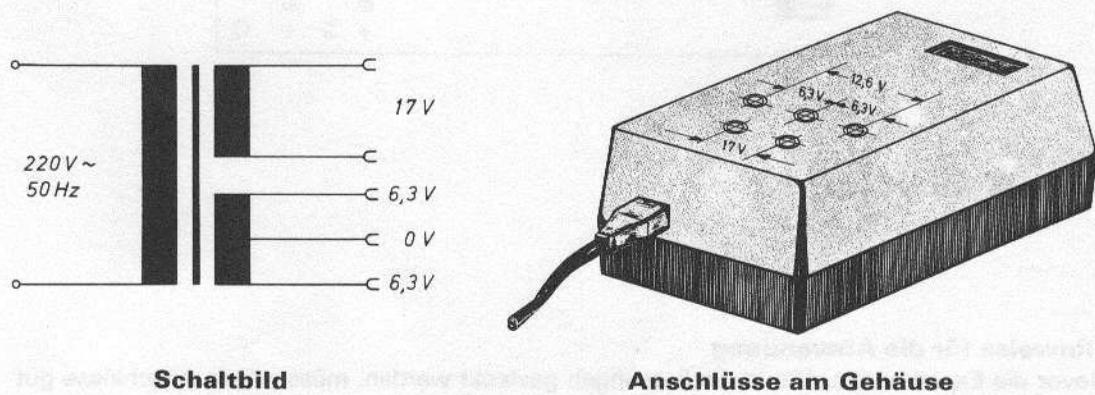
Tab. 1.
Zusammenhang zwischen 4-bit-BCD-
Wörtern und Anzeige

Ein an den Eingängen A7 bis D7 liegendes 4-bit-BCD-Wort wird decodiert und dann zur Steuerung der entsprechenden Anzeigesegmente A_a bis A_g verwendet. Tab. 1 zeigt den Zusammenhang zwischen den ansteuernden 4-bit-BCD-Wörtern und der Anzeige.

Stromversorgung des ITT Digi-Trainers

Netztransformator

Der Netztransformator transformiert die 220 V/50 Hz-Netzwechselspannung herunter auf 17 V und $2 \times 6,3$ V. Durch Netzspannungsschwankungen können die angegebenen Werte um ca. $\pm 10\%$ schwanken. Die Schwankungen werden allerdings durch eine Stabilisierungsschaltung (TBA 325 A) auf der Netzteilplatte abgefangen, so daß für die Durchführung der Experimente eine stabilisierte Gleichspannung zur Verfügung steht.



Schaltbild

Anschlüsse am Gehäuse

Abb. 6.
Netztransformator

Stabilisiertes Netzteil

Das Netzteil liefert eine stabilisierte Gleichspannung von ca. 5 V zum Betrieb des ITT Digi-Trainers. Als Eingangswchselspannung werden 12,6 V ($2 \times 6,3$ V) benötigt, die dem Netztransformator entnommen werden können.

In einer Graetzschaltung (Abb. 7) wird diese Wechselspannung gleichgerichtet. Als Ladekondensator dienen die 2 parallelgeschalteten Elektrolytkondensatoren von je 2200 μ F.

Die nachfolgende integrierte Stabilisierungsschaltung (TBA 325 A) liefert eine stabilisierte Spannung von ca. 5 V.

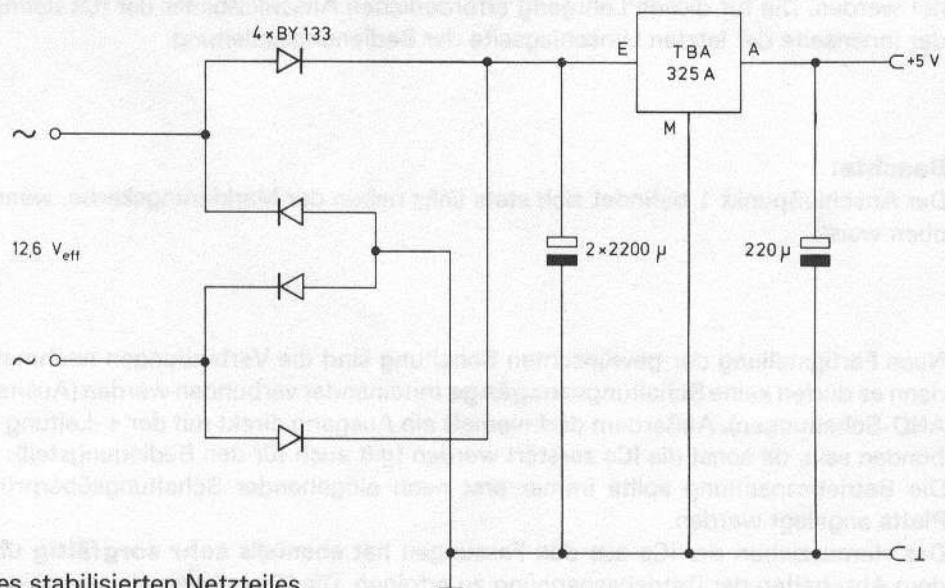


Abb. 7.
Schaltung des stabilisierten Netzteiles

Anmerkung:

Durch eine Schutzschaltung im TBA 325 A wird bei Kurzschluß zwischen den Klemmen + und - der Laststrom begrenzt, so daß der TBA 325 A nicht zerstört wird.

In Abb. 8 ist die bestückte Netzteilplatte dargestellt.

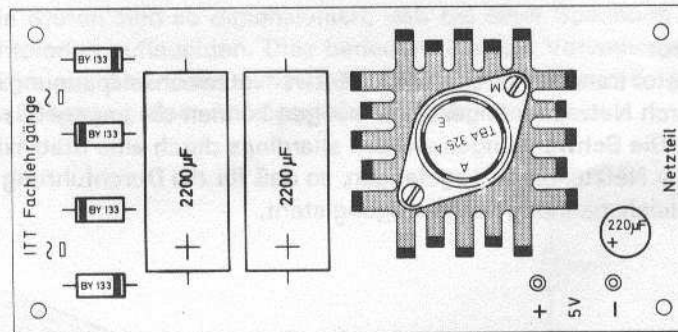


Abb. 8.
Bestückte Netzteilplatte

Hinweise für die Anwendung

Bevor die Experimentier-ICs in die Fassungen gesteckt werden, müssen ihre Anschlüsse gut ausgerichtet sein. Die beiden Anschlußreihen müssen exakt auf einen gleichbleibenden Abstand von 7 bis 7,5 mm gebracht werden und genau senkrecht zum Gehäuse stehen.

Das erreicht man am einfachsten dadurch, daß man beide Anschlußseiten nacheinander auf eine ebene, harte Unterlage drückt und damit alle Anschlüsse einer Seite gleichzeitig ausrichtet.

Bei sorgfältiger Ausrichtung der Anschlüsse müssen sich die ICs **leicht** und genau senkrecht in die Fassungen einsetzen lassen (keine Gewalt anwenden, sondern besser ausrichten!)

Beim Einsetzen der ICs in die Fassungen ist ferner zu beachten, daß die Markierungskerben der ICs mit denen der Fassung übereinstimmen. Bei der Verdrahtung eines ICs beginnt man zweckmäßigerweise mit der Stromversorgung. Die entsprechenden Anschlüsse können nur dem Anschlußbild des jeweiligen ICs entnommen werden. Dabei ist zu beachten, daß die Anschlußbilder der ICs im Dual-in-Line-Gehäuse grundsätzlich von **oben** (Draufsicht) gezeichnet werden. Die für diesen Lehrgang erforderlichen Anschlußbilder der ICs befinden sich auf der Innenseite der letzten Umschlagseite der Bedienungsanleitung.

Beachte:

Der Anschlußpunkt 1 befindet sich stets links neben der Markierungskerbe, wenn diese nach oben weist.

Nach Fertigstellung der gewünschten Schaltung sind die Verbindungen nochmals zu prüfen, denn es dürfen keine Schaltungs**ausgänge** miteinander verbunden werden (Ausnahme: wired-AND-Schaltungen). Außerdem darf niemals ein Ausgang direkt mit der + -Leitung (+U_{CC}) verbunden sein, da sonst die ICs zerstört werden (gilt auch für den Bedienungsteil).

Die Betriebsspannung sollte immer erst nach eingehender Schaltungsüberprüfung an die Platte angelegt werden.

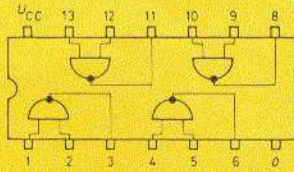
Das Herausziehen der ICs aus den Fassungen hat ebenfalls **sehr sorgfältig** und erst nach dem Abschalten der Betriebsspannung zu erfolgen. Die ICs müssen gleichmäßig und ohne zu

verkanten herausgezogen werden, da sich sonst die Anschlußfüßchen **verbiegen** oder **abbrechen**. Bei IC-Fassungen ohne Auswurfkeil hat sich folgende Methode gut bewährt: An beiden Schmalseiten 2 kleine Schraubenzieher oder 2 Pinzetten vorsichtig zwischen Fassung und IC einführen und den IC gleichmäßig nach oben ziehen.

Anschlußbilder der in den Experimenten verwendeten ICs

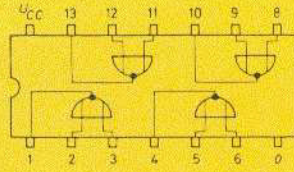
MIC 7400

4 NAND-Gatter mit je 2 Eingängen



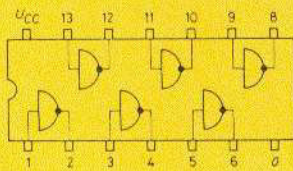
MIC 7402

4 NOR-Gatter mit je 2 Eingängen



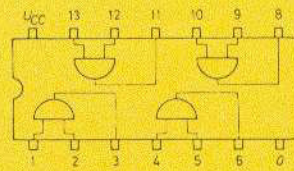
MIC 7404

6 Inverter



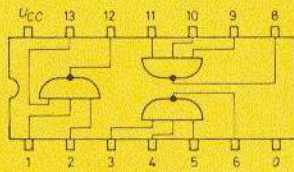
MIC 7408

4 UND-Gatter mit je 2 Eingängen



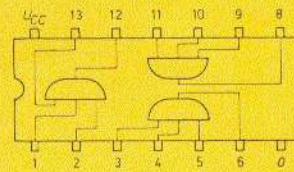
MIC 7410

3 NAND-Gatter mit je 3 Eingängen



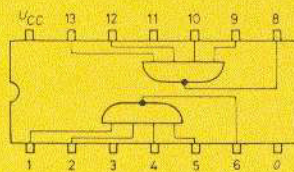
MIC 7411

3 UND-Gatter mit je 3 Eingängen



MIC 7420

2 NAND-Gatter mit je 4 Eingängen



MIC 7432

4 ODER-Gatter mit je 2 Eingängen

